

An FPGA and CAM-based Self-Reconfigurable System and Its Hardware/Software Codesign Environment

FPGA と CAM を用いた自律再構成可能システムとそのハードウェア/ソフトウェア協調設計環境に関する研究

The University of Kitakyushu[†]
北九州市立大学

Waseda University[‡]
早稲田大学

Nozomu Togawa^{†,‡}
戸川望^{†,‡}

Tatsuo Ohtsuki[‡]
大附辰夫[‡]

Masao Yanagisawa[‡]
柳澤政生[‡]

Choi Jin-Ku[‡]
崔鎮求[‡]

Yuichiro Miyaoka[‡]
宮岡祐一郎[‡]

The Von-Neumann-based computers have memory bandwidth bottleneck, which causes a serious problem to execute application programs. In order to solve these types of problems, we propose in this research a **self-reconfigurable system** based on **FPGAs** and **CAMs** (Content Addressable Memories) which can be applied to a variety of application programs such as communication control processes, image processes, and data-analysis processes. We also propose its specific **hardware/software codesign environment**.

(1) First we consider that **system scalability** and **memory bandwidth** are key issues in a self-reconfigurable system. A scalable system with wide memory bandwidth can be applied to a variety of application programs and also execute them quickly. In this research, we first propose a self-reconfigurable system composed of a micro processor unit, a CAM unit, and an FPGA unit (Fig. 1). By configuring a CAM unit and an FPGA unit depending on a given application program, we can realize system scalability and wide bandwidth for our system.

(2) In order to configure the system architecture, we consider that the **architecture enumeration** is indispensable. By enumerating several system architecture candidates, we can select the best one to run an given application program. In this research, we propose a hardware/software codesign environment for self-reconfigurable system design (Fig. 2). The proposed hardware/software codesign environment evaluates hardware cost, performance, and power consumption of self-reconfigurable system architecture candidates and automatically synthesizes the system architecture which has the best performance to run an given application program.

Based on (1) and (2), we can **automatically** realize the system architecture for an FPGA and CAM-based self-reconfigurable system which is optimal for a variety of application programs.

ノイマン型計算機のメモリボトルネック問題は、計算機上でアプリケーションを実行する際の高速化の妨げとなっている。本研究では、通信向けの制御処理、データの逐次処理が主体の画像処理や精度と速度の要求が強い解析処理といった広範囲のアプリケーションを対象とした新たなアーキテクチャモデルとして、FPGA と CAM (内容番地付けメモリ) を用いた自律再構成可能システムを提案し、そのシステムのためのハードウェア/ソフトウェア協調設計環境を構築することを目的とする。

(1) まず、広い範囲のアプリケーションに対し、高速かつ小コストにて実行可能な自律再構成可能システムを構築するには、スケーラビリティがありメモリバンド幅が広いシステム構成を取る必要があると考える。本研究では、図1に示すように、マイクロプロセッサに対し、アプリケーションに応じて機能を選択したCAMと複数のFPGAとを組み合わせた自律再構成可能システムを提案する。このシステムにより、スケーラビリティと広いメモリバンド幅の両立が確立される。

(2) さらに、アプリケーションに応じた自律再構成可能システムは、多数のアーキテクチャ候補を列挙し、その構成上でアプリケーションを仮想実行することで最適なシステムアーキテクチャを決定する必要があると考える。本研究では、ハードウェア/ソフトウェア協調設計の考えをシステム設計に応用することにより、コスト、実行速度や消費電力のトレードオフを考慮した設計が可能であると考え、図2に示すようなハードウェア/ソフトウェア協調設計環境を提案する。

(1) および(2)により、広範囲のアプリケーションに対し、性能要求、コスト要求とを同時に満足する自律再構成可能システムのアーキテクチャ構成が極めて短期間に計算機によって自動的に実現されることが可能となる。

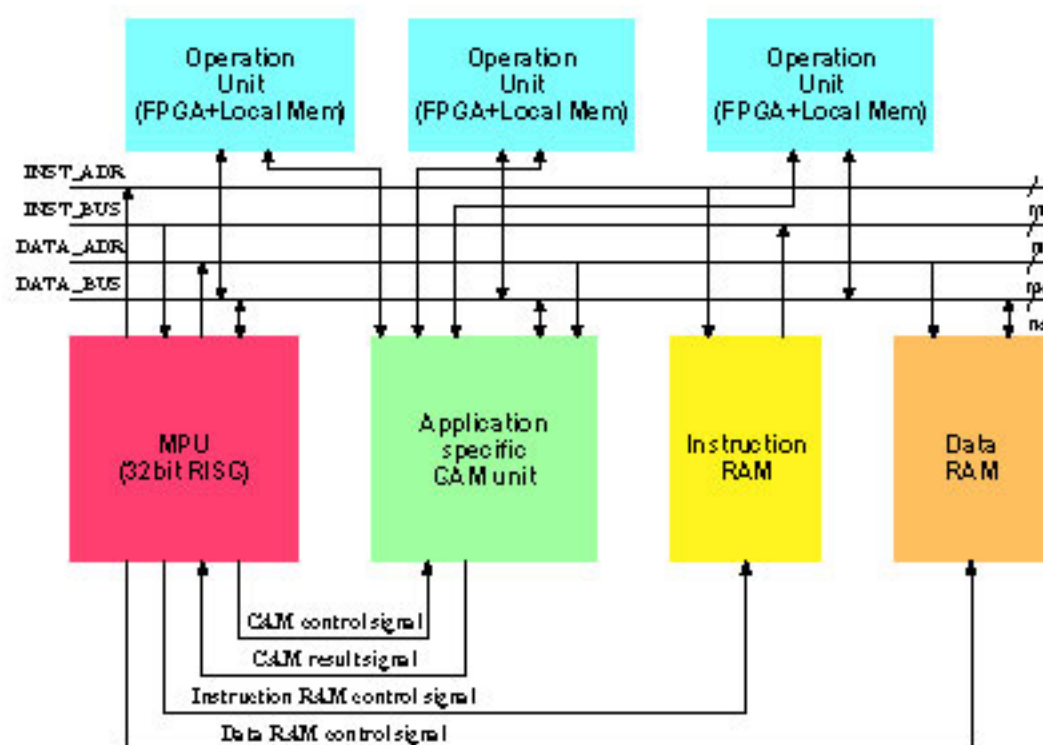


Fig. 1: FPGA and CAM-based Self-reconfigurable system.

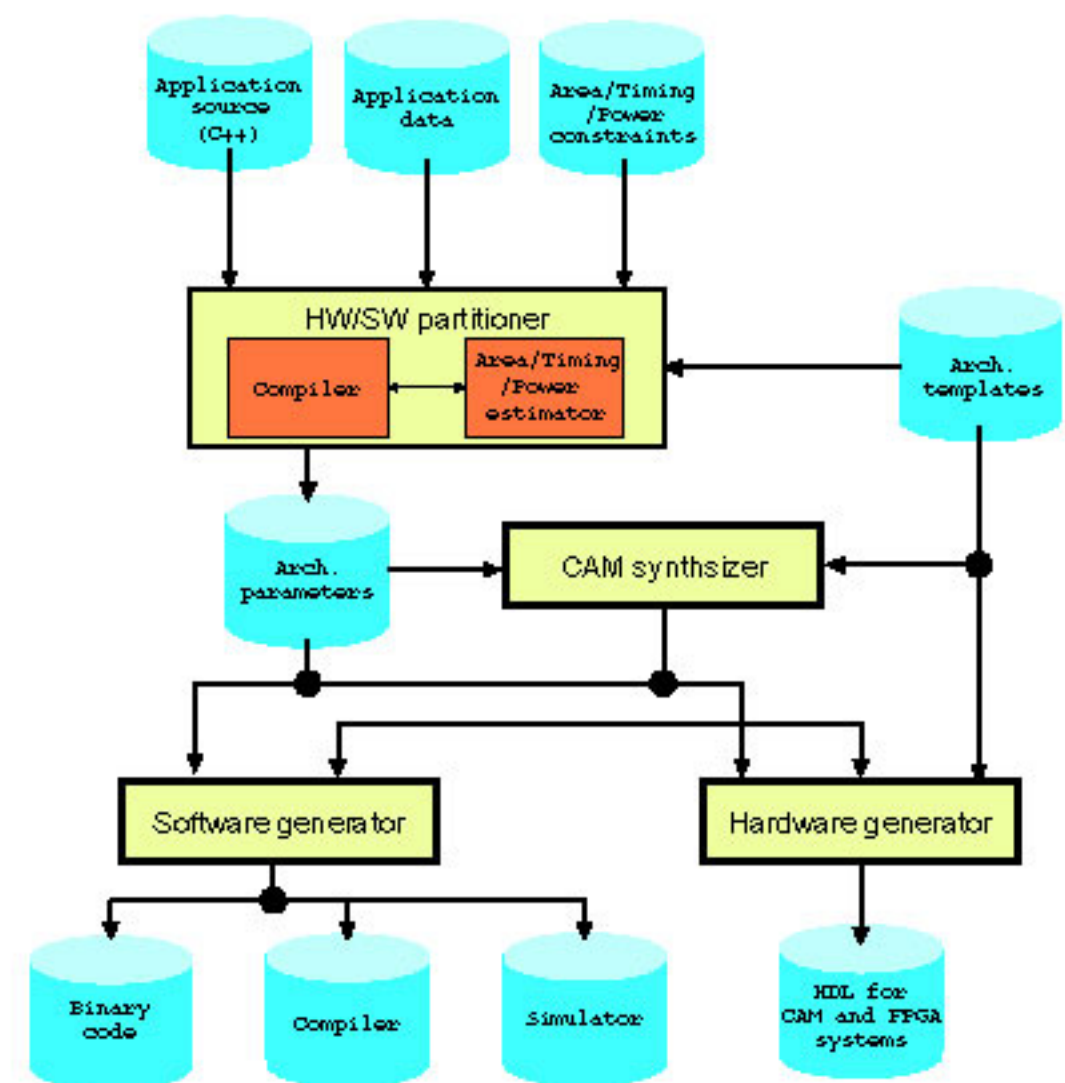


Fig. 2: HW/SW codesign environment for self-reconfigurable systems.