

第6章 半導体先端テクノロジーズ(Selete)

- 日本の総力を結集した先端技術研究開発組織 -

(株)半導体先端テクノロジーズ(Selete)は、日本国内の主要な半導体メーカーが、1996年2月に、共同設立した半導体技術共同開発会社である。その前年に同じように共同設立された(株)半導体理工学研究センター(STARC)とともに、日本の半導体産業復権のために、半導体業界のシンクタンクである日本半導体産業研究所(SIRIJ)¹が検討した結果、生み出されたものである。

Seleteの果たすべき役割は、「半導体技術の難度が増し、その研究開発費が高騰する中で、非競争領域の技術分野やリスクの大きい将来技術分野において、衆智を集め、かつ、研究開発費の負担を軽減する」ことであった²。

設立当初は300mmウェーハプロセス用製造装置・材料評価が中心的なテーマであったが、2000年度からは設計技術開発を担当するSTARCとともに「あすか」プロジェクトを構成してプロセスモジュール技術開発を担当した。また、2006年度からはNEDOからの国家資金による「半導体MIRAI」プロジェクトの多くのテーマをも担うことになり、新材料の研究開発と、これを実用化するためのプロセス技術の開発等を行っている。

ここではSeleteの開発テーマとその成果の概要および半導体技術開発プロジェクトの動きとの関連などを紹介するとともに、日本の半導体技術開発プロジェクトの問題点を探った。

1. 半導体各社がこぞって設立に参加

図1 Seleteの業務内容

1996年～: 300mmウェーハを用いる生産技術
2001年～: hp85対応フロントエンド/バックエンドモジュール技術の研究開発
hp45対応プロセスモジュールの研究開発
2006年～: hp45/32対応先端プロセス・デバイス技術開発
新技術分野の産学連携研究開発の推進

(株)半導体先端テクノロジーズ(Selete)は、日本国内の主要な半導体メーカー10社が、1996年2月に、均等出資(各社5億円)して共同設立した半導体技術共同開発会社である。会員企業から研究者・技術者が同じ建物に集まって研究開発を進めるという「集中研方式」が採られた。

具体的な業務内容は図1のように、技術開発状況や「あすかプロジェクト」(第1期:2001年度～、第2期:2006年度～)などの開発体制の進展を反映して、対応領域を広げてきている。

設立時の出資会社は、富士通、日立、松下、三菱電機、NEC、沖電気、サンヨー、シャープ、ソニー、東芝の10社であったが、その後、三星電子(1997年9月)が「300mm装置・材料評価」プログラムに研究開発委託という形で参加し、また、ローム(2000年6月)とセイコーエプソン(2004年7月)が出資を行う会員企業として参加した。一方、三菱電機と日立は2003年4月に半導体部門を分割統合してルネサステクノロジを設立し、両社に代わってSeleteへの出資を行っている。

また、2004年度より開始した希望する委託者によって進められる「選択プログラム」に荏原製作所、日本エ・エス・エム、東京エレクトロンが委託者として参加している。

Seleteの予算は、2001年から2005年までの5年間で約700億円である。これは「あすかプロジェクト」のうちのデバイスプロセス技術開発プログラムに該当している。

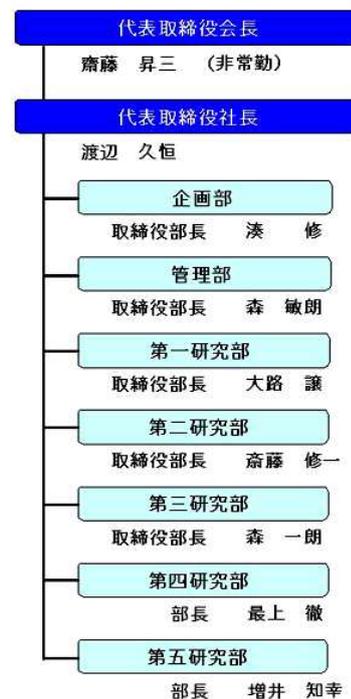


図2 Seleteの組織
(2008年7月現在)

2006年7月から中心的なデバイスメーカー4社の出資額は据え置き、その他の7社は各社1.4億円に減額した。中心的な4社による素早い意志決定を可能とするためである。

米国半導体産業の国際競争力回復を目的とした国内組織SEMATECHが設立されたのが1987年であるのに比べるとSeleteの設立は9年遅れており、日本の半導体産業にマーケットシェアを奪われた米国の半導体製造企業が危機意識を募らせて共同開発組織を設立したことと同じ状況が10年ほどして日本でも起こったといえる。



図3 1996年当時のSelete(日立製作所生産技術研究所を一部借用)

2. Seleteの概要

1) Seleteの組織、施設、人員、特許、成果発表

Seleteの2008年7月現在の組織を図2に示す³。代表取締役会長は齋藤昇三、代表取締役社長は渡辺久恒である。



図4 2008年現在のSelete本社(左)とクリーンルーム(SCR産学官連携研究棟)(右)

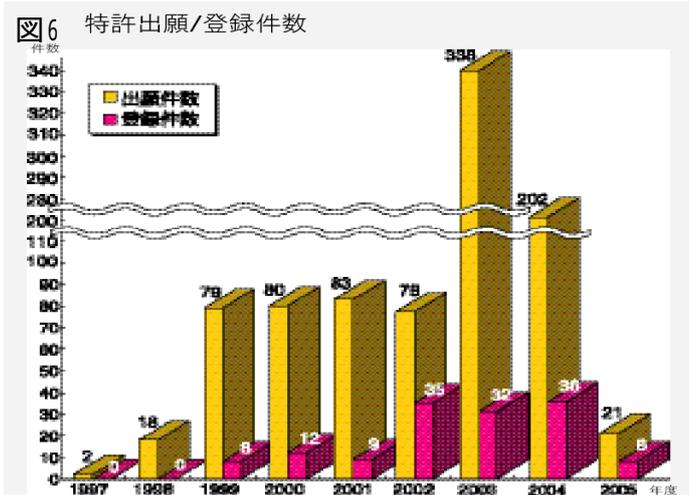
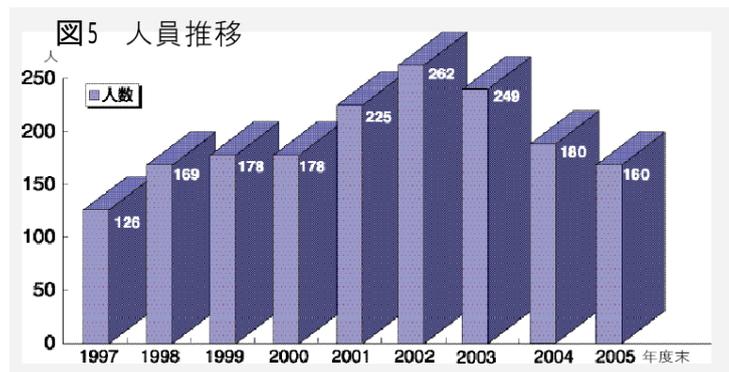
所在地は、1996年11月から横浜市戸塚区にある

日立製作所生産技術研究所(図3⁴)の一部を借用して事業を行ってきた。その後、「あすかプロジェクト」の本格的稼働に対応して、2002年3月のつくば「スパークリーンルーム産学官連携研究棟」の完成を機に茨城県つくば市に主力を移し、2002年7月より本格的に研究・開発を推進している(図4⁵)。また同じつくばで活動中の国家プロジェクト「半導体MIRAI」と連携して開発を推進している。

Seleteの従業員数は2007年7月現在、185名であり、その人数推移は図5のようになっている。また、その特許出願/登録件数は図6のようになっている。学会発表等の情報発信件数は図7のようになっている。いずれも2003年度およびそれに次いで2004年度が特に多くなっている⁶。

2) Seleteの開発目標および運営形態の変遷

研究開発の進展にともなって開発テーマは変遷を辿り、また、「半導体MIRAI」など他の開発プロジェクトの進展状況や開発動向の変化など



に対応して、テーマ変更、テーマ統合、テーマ移管あるいは開発期間伸縮が行われている。

さらに、会員企業間で、個々の開発テーマに対する重要度の認識が異なっている場合もあり、会員企業すべてが参加するテーマの他に、先行する有志企業のみが参加するテーマや特定の希望企業のみが参加するテーマを設けるなどの工夫も行われた。また、運営形態についても他の研究機関との共同体制等が実施されている。

以下、図8に開発テーマの変遷をまとめた⁷⁾。また、運営形態の変遷を年代順に整理した。

(運営形態の変遷)

- ・ 1998年4月以降、加工サンプルウェーハの供給と委託企業自身による装置使用のための便宜供与を開始した。
- ・ 2000年7月…「あすか」プロジェクトとして再編され、SeleteとSTARCが以下のように分担した。Seleteの具体的な担当項目は10月から開始される後述の「フロントエンドプロセス」等の項目である。

- (1) Seleteは100～70nmノードSoC用プロセスモジュール技術開発を担当
- (2) STARCは大学との共同研究、研究助成、設計教育サポートを担当、さらに設計技術開発を追加担当

- ・ 2001年…「半導体MIRAI」プロジェクト開始

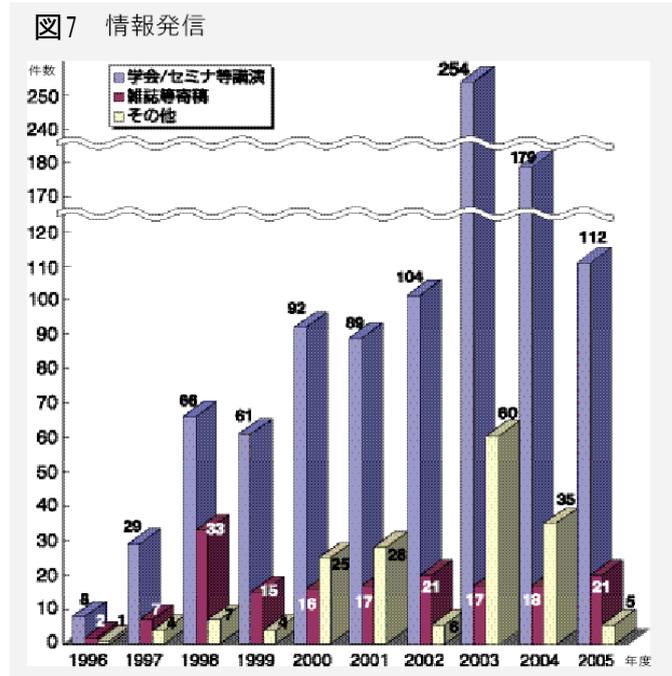
このプロジェクトは、NEDOからの国家資金によるものであり、第1期2001年度～2003年度、第2期は当初2004年度～2007年度だったが、2004年度～2005年度に短縮し、第3期として2006年度～2010年度を追加した。産業技術総合研究所次世代半導体研究センターASRCおよび技術研究組合超先端電子技術開発機構ASETも参加した。Seleteは第3期から参加した。MIRAIプロジェクトの目標は下記の通りである。

- (1) 新しい絶縁材料など、次の世代の半導体に不可欠な新材料の研究開発と、これを実用化するためのプロセス技術の開発等を行う。
- (2) これによって、半導体の微細加工において、45nmの技術世代以降のLSIの消費電力や処理速度といった基本的な性能を格段に向上させる技術を開発・実証する。

- ・ 2006年4月「つくば半導体コンソーシアム(TSC)」開始、「あすか」Pj開始

年度	1996	1997	1998	1999	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010
						あすかプロジェクト				あすかⅡプロジェクト					
					300mm装置・材料評価		130nm/300mm装置・材料評価								
		先端リソグラフィ			光リソグラフィ・マスク				EUVリソグラフィ						
							EBリソグラフィ								
		先端プロセス技術			フロントエンドプロセス				フロントエンドプロセス						
							バックエンドプロセス		バックエンドプロセス						
							あすか研究ライン				先端リソ(あすかライン高度化)				
		シミュレーション技術			TCAD				TCAD						
			PFC排出削減								300mmウェハ加工受託				
			ライン生産効率向上技術			ライン生産効率向上(Ⅱ)				生産システム技術(混流生産)					
											生産システム技術(第2世代300mm)				
											次世代マスク基盤技術				
											Nano Silicon Integration				

図8 Seleteの開発テーマ(開始/終了は年度区切りとは一致しない場合もあり、概略を示す)



このコンソーシアムは、第2次半導体新世紀委員会(SNCC)の提言により2006年度からスタートした。日本の半導体技術開発プロジェクトを総合的かつ有機的に結合して、基礎研究から実用化までの研究開発を加速させるために、複数プロジェクトを一元的に運営する産学独連携強化の仕組みであり、あすかとMIRAIの結合といてよく、半導体プロセス・デバイス技術の分野については、SeleteとMIRAIの結合といてよい。2002年につくばに完成したスーパークリーン

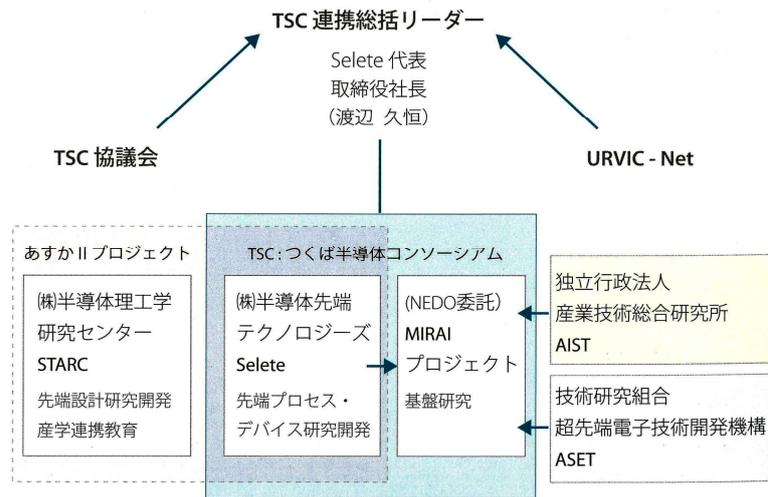


図9 2006年度からの半導体共同研究開発体制

ルームを両者が共同利用することをきっかけに始まった情報交換を糸口としてその後2003年2月から始まったLow-K膜およびTCADでの共同研究の仕組み⁸が全体に及んだものとみられることもできる。

その結果、図9⁹に示すように民間企業の共同研究開発組織であるSeleteが、国家プロジェクトであるMIRAIの実行機関の1つとして連携することになった。

一方、「あすか」Pjの発足に際して、SeleteとSTARCが分担することになった開発テーマは下記の通りである。

Seleteでは、会員企業すべてが参加する「共通コアプログラム」の他に、先行する有志企業のみが参加する「先端コアプログラム」および特定の希望企業のみが参加する「選択プログラム」を設けた。これら自主開発プログラムの他に、国家プロジェクトである「MIRAIプロジェクト」の開発テーマにも取り組むことになったわけである。

(1) Seleteは45-32nmプロセス技術開発(FEP、BEP、EUVL等)を担当

(2) STARCは国内半導体企業の設計基盤技術力強化のため先端設計・研究開発/産学連携・教育を担当

3. 製造装置・材料評価および主要プロセス技術開発の成果

1) 300mm 製造装置・材料評価

Selete発足時の主要テーマである「300mm 量産装置性能評価と性能向上」という目標は、1999年度末までに予定通り終了し、300mm量産工場建設に必要なすべての分野を網羅して評価した装置の累計台数は、137台に達した。

また、目標レベルに対してプロセス性能は到達していたが、生産性(スループット、信頼性;MWBA)は不十分であった。これを改善して、目標のMWBA;5000枚以上を実現した。

さらに、性能を示す基準として「マトリクスインジケータ(MI)」(100ポイント満点)を導入し、目標性能に対する実力を数値で示すようにし、98年10月には35ポイントであったMIが、99年10月には70ポイント、2000年3月には80ポイント以上に達した。

300mmウェーハは、入手可能な全ての研磨ウェーハとエピタキシャルウェーハの品質と電気特性評価を行い、自動化機器評価は、一連のAGV等の搬送機器評価を終了するとともに、FOUPの性能評価も終了した。また、互換性確保のため標準化の推進と、標準化への準拠性を高めるための作業をメーカーとともに推進した。

国際協調としては、装置の性能目標をInternational Sematech(I300I)と統一化したことが重要である。250nmデザインルール対応装置性能目標は1997年、180nmは1998年6月に統一化され、130nmは1999年度に統一化された。

2) リソグラフィ技術(ArF、F2、EUV、電子ビーム)

リソグラフィ技術は半導体LSIの微細化・高集積化を推進してきたプロセス技術のなかでも中心的な役割を果たし

ており、1997年4月以来 Selete の開発テーマにおいても重要な位置を占めている。

それぞれの時期における先端的なリソグラフィ技術がテーマとして設定されており、当初の ArF リソグラフィ技術、電子ビーム直接描画技術に加えて、1999 年度から VUV (F₂) リソグラフィ技術が追加され、2006 年度から EUV リソグラフィ技術が追加された。このうち、ArF、F₂、EUV の光リソグラフィ技術は、それぞれ追加されたテーマが従来テーマに代わって中心的なテーマとして展開されており、新たな技術への先行的取り組みが行われているといえる。ただし、先行的なテーマへの重点移行が世界的な動向に比べて遅れがちであるという問題点がある。この点については別途後述する。

なお、リソグラフィ技術において重要な役割を果たすマスク技術については、継続的なテーマとして、取り組まれている。

(1) ArF リソグラフィ技術

ArF リソグラフィ技術においては、1998 年度に ArF スキャナーを導入し、立ち上げを世界で初めて完了した。また、マスク材料の ArF レーザーに対する耐光性評価を行い、光学特性の劣化メカニズム解析、耐光性の改善を行った。さらに、ArF 露光装置のレンズ材料には、KrF 露光装置に使われている合成石英に加え、新材料である CaF₂ (蛍石) を使う必要があるが、この CaF₂ の光損傷メカニズムについては、東京工業大学 (細野秀雄助教授) との共同研究の成果として、レーザー照射で発生する蛍光の寿命を測定することにより CaF₂ の耐久性を診断できることが明らかになった。

石英基板、ベリクル膜、ハーフトーン膜の ArF レーザー耐光性も、組成を最適化することにより実用レベルまでの大幅な改善を図ることができ、以後のプロセスモジュール (フロントエンドプロセス: FEP およびバックエンドプロセス: BEP) 用のパターン形成ツールとして使用された。

(2) F₂ リソグラフィ技術

F₂ リソグラフィ技術においては、1999 年度からレジスト材料の探索を開始し、その後、レジストプロセス、超解像技術、130nm および 70nm ノード対応欠陥検査・修正技術の開発を進め、2001 年度には、マスクメーカー 3 社およびマスク用電子ビーム描画装置メーカー 3 社とマスク製造関連技術 (電子ビーム描画、欠陥検査・修正) の共同開発体制をスタートさせた。

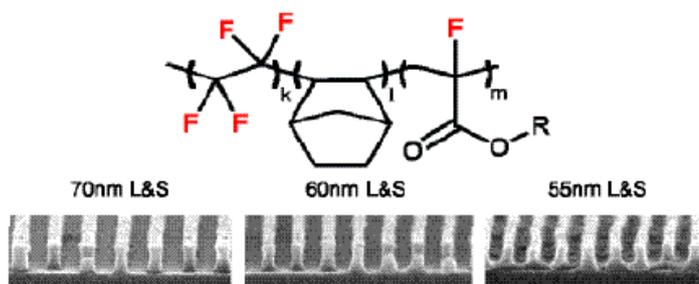


図10 フッ素含有レジストによる解像結果

2001 年に Exitech 社と共同開発した高 NA (0.85) マイクロステッパを用いて、2001 年 12 月には 70nm パターン形成に、また 2002 年 3 月には 55nm パターン形成に世界で初めて成功した (図10)¹⁰。

さらに、2003 年度にはフッ素含有レジスト、位相シフトマスクと新規 NA=0.90 の光学系を用いて 40nm の限界解像度を確認した。

しかしながら、2002 年末以降、急速に進展した ArF 液浸リソグラフィによって、F₂ リソグラフィ技術の出番が無くなり、F₂ リソグラフィから ArF 液浸リソグラフィへ研究開発の重点を移す研究機関が相次ぎ、Selete も 2006 年度以降は、300mm 試作ラインにおける試作用装置として利用することとなった。Selete の重点を移す判断は世界的な動きに比べて遅いものであった背景には、開発初期に先行的な成果があったことの影響もあるであろうが、会員企業の合意形成に時間がかかるなど、機敏な組織的改編を断行しにくい事情もあったのではないかとと思われる。

(3) EUV リソグラフィ技術

EUV リソグラフィ技術は、Selete における 2006 年度からの重点課題の 1 つと良い。それまでに、ASET で進められていた「EUVL マスク・レジスト・露光の基盤技術」、MIRAI で進められていた「ブランク位相欠陥およびパターン欠陥検査技術」および EUVA で進められていた「SFET、光源・ミラー技術」の開発成果を継承して、NEDO 受託事業 (MIRAI 第 3 期) として「次世代マスク基盤技術開発」を行い、Selete 自主事業として「次世代リソグラフィ・マスク実用化開発」を行っている。2008 年度末まで EUVA で進められた「EUV 露光装置開発」も、その成果は Selete

に移管されることになった。

こうして長らく分散体制で進められていた日本の EUV リソグラフィ技術開発は一元的な開発体制のもとで進められることになったが、世界的な動向と比べて一元化が遅れたと言わざるをえない。国家資金によるプロジェクトと民間資金による

プロジェクトの間で、開発テーマの綱引きが行われているわけであり、研究開発速度の向上という点でも、また研究開発資金の効率化という面でも、大きな問題がある。

SFET による露光結果としては、2006 年 10 月に 32nmL/S パターン形成に成功し、2007 年 4 月に 26nm 孤立ラインと密集パターンの同時形成を実現して、EUV としては世界最高の解像度を示した(図 11)¹¹。さらに、2007 年 9 月には 32nm ホールパターン形成および hp45nm 各種 SRAM パターン形成を実現した。

また、ニコン製フルフィールド機 EUV1 は 2007 年度に Selete に納入され、2008 年 2 月には 30nm ないし 28nm のパターン形成結果を報告して EUV1 の持つ高い解像性のポテンシャルを示した¹²。(図 12)

また、このほかに Selete プログラムの進

捗として、フレア・マネジメント、レジスト材料評価、マスク・ブランク欠陥評価、マスク・パターン欠陥評価、マスク・パターン修正技術など EUV 露光実現のために必要なインフラ技術の進捗と整備状況を発表した。

これらの成果は、ASML のフルフィールド露光機である ADT の最初の発表(2006 年の SPIE: 自社サイトでの露光)からは 2 年遅れており、ユーザ・サイトでの転写開始(2007 年 5 月、IMEC および INVENT)からは 1 年弱の遅れとなっているが、EUV1 の持つ高い光学性能を実証したものと見え、EUV1 開発を担当した EUVA が欧米の EUV リソグラフィ技術開発グループに約 2 年遅れでスタートしたことを考えると、転写開始時期という段階では、その差を縮めてきたといえる。

今後は、EUVA、ASET での成果を生かして、解像性能向上とともに光源出力の向上およびインフラ技術の確立を図って、実用化を推進することが期待される。

(4) 電子ビームリソグラフィ技術

電子ビームリソグラフィ技術は、原理的に高い解像性を有しているが処理速度が遅いという根本的な問題点がある。これまでに種々の手法が提案されてきたが、光リソグラフィ技術に対して 1 桁以上処理能力が低い状況である。

そこで、Selete では、処理速度の抜本的改善を検討するとともに、光リソグラフィとの混用の有効性を検討した。具体的には、シングルカラムおよびツインカラムの部分一括描画装置の開発およびチップ全域パターンのマスクを用いる電子ビーム投影露光技術(EPL: Electron Projection Lithography)の開発である。2000 年度以降は特に EPL の開発が中心となった。

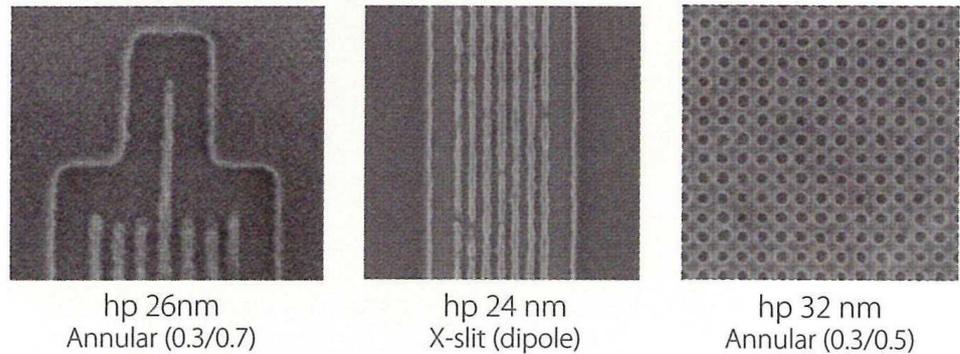


図 11 SFET によるパターン解像結果: (a)26nmhp, (b)24nmhp, (c)32nmhp.

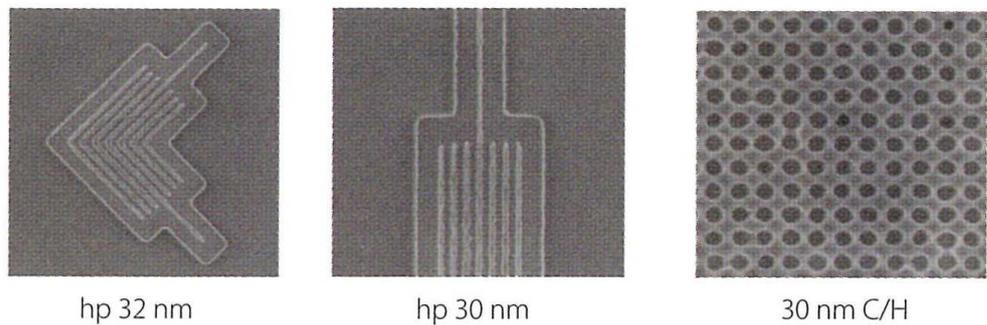


図 12 EUV1 によるパターン解像結果

(a)32nmhp エルボウパターン, (b)30nmhp 密集および孤立ライン, (c)30nmhp ホール.

EPL は、超 LSI 共同研究所でも試作検討されたが、光露光のスクラン型ステッパーと同様に、マスクの回路パターンをウェーハ上に電子ビームでスキャンしながら縮小投影して焼き付ける方式である。マスクはパターン領域で電子ビームが通過できるようなステンシルマスクが用いられ、約 1mm 角の電子ビームをマスク上に照射し、その回路パターンを 1/4 に縮小して露光する。

従来の電子ビーム直接描画装置では1ショットの露光領域は5 μ m 角程度であるが、EPL では1ショットで250 μ m 角すなわち2,500 倍の広さの領域が露光でき、露光時間が大幅に短縮され、スループットが飛躍的に向上する。

EPL はこのように大きな処理能力を有するが、その課題は、ショット間のパターン接続精度である。また、開口部を有するマスクを用いるので、口の字などの開口部があるパターンでは、2つの相補的なパターンに分割して2つのマスクを用意する必要があり、それらの間の接続精度も同様に重要な課題となる。

2001 年度には、EPL により60nm ライン&スペースパターンおよび35nm 孤立パターンが形成された。

2002 年度には、相補型マスクのパターンデータを自動的に生成するプログラムを開発し、また50nm デバイスパターンを形成した。

2003 年度には、ニコン製 EPL 装置を導入し、プロセス適用の検討を開始し、マスク構造については、ステンシルマスクの他に相補型マスクを必要とせず機械的強度が高い極薄連続メンブレンマスクの検討を開始した。

2004 年度および2005 年度は、上記装置の総合的な評価と装置精度向上を進めるとともに、EPL を配線ビア層に適用して ArF 露光あるいは F₂ 露光との混用により銅2層配線 TEG の試作を行い、70nm 径までの微細ビアの Cu 埋め込みが良好に実現されていることを確認した。

以上のような努力の結果、EPL をホールパターン形成用にのみ適用して光露光との M&M (Mix & Match: 混用) を行えば、hp45nm 以下のリソグラフィ技術として実用化可能ではないか、との結論を得ているが、世界的な動向は ArF 液浸と EUV 開発に重点が移っており、2005 年度末をもって EPL 技術開発は中断した。

この中断は開発動向からみて当然であろう。むしろ判断の決定が遅すぎたのではないかと思われ、その背景には、F2 リソグラフィの項で述べたことと同様に、いったん決定した方針を機動的に変更することが難しい体制になっていたという問題があるように思われる。

3) マスク技術

マスク技術は、リソグラフィ技術の要となる技術の1つであり、高精度微細パターンマスクの安定製造のためには、マスク製造用 EB 露光機の高精度化および高速化、微細パターンに対応したマスク欠陥検査装置および欠陥修正装置の開発が重要である。

なかでもマスク検査技術は、装置製造企業への技術移管・製品化が順調に行われた例に該当する。

2003 年度には、65nm ノード対応の装置開発が課題になっていたが、欠陥検査装置については、検査スキャナ部を担当する東芝と画像処理部を担当する NEC との共同開発が進められた。スキャナ部の光源には従来の検査装置に比べて波長が60nm 短いレーザ(波長198.5nm)が用いられた。この光源レーザは MIRAI プロジェクトで開発されたものである。

2004 年8月には、両社が欠陥検査装置開発のための合弁会社アドバンスド・マスク・インスペクション・テクノロジー (AMIT) を設立した¹³。2004 年度に完成した hp65nm 対応の欠陥検査装置による欠陥検出感度は目標通りの良好な結果を示した。

これらの成果が東芝の関連会社であるニューフレアテクノロジーに引き継がれ、同社がマスク検査装置事業に参入を表明した2006 年度において18億円の売上高となり、同社のエピタキシャル成長装置の売上高(14億円)を越えるまでになっている¹⁴。

4) プロセス技術(High-K、Low-K、配線)¹⁵

2001 年度から本格的に始まった High-K ゲート絶縁膜に関するフロントエンドプロセス(FEP)および Low-K 層間絶縁膜を有する配線技術のバックエンドプロセス(BEP)は、いずれも90~65nm 世代の「SoC 開発の共通基盤の構築」を目的とする「あすかプロジェクト」のテーマの1つである。

FEP では、材料の絞り込み、成膜技術、エッチング等の微細加工技術、ダメージの少ない極浅拡散層形成技術など新材料に適合した要素プロセス技術の開発がテーマである。

材料は、 HfO_2 、 HfAlO_x などの検討を行った結果、 $\text{HfAlO}_x/\text{SiON}$ および $\text{HfAlO}_x/\text{SiO}_2$ に重点を絞り、最終的には耐熱性や界面特性が良好な HfSiON により、hp45nm レベルの特性を得ることができた。このときのプロセスは、下地膜(SiO_2)成長、High-K 膜(HfSiO)成長、プラズマ窒化処理、窒化後熱処理(PNA)という一連の工程からなり、0.8~0.9nmEOT(Equivalent Oxide Thickness)において SiO_2 に比べて 10^{-3} 程度という低リーク電流特性を得ることができた。

BEP では、材料の絞り込み、成膜技術、機械的強度向上技術、密着性向上技術、低荷重研磨技術など新材料に適合した要素プロセス技術の開発がテーマである。

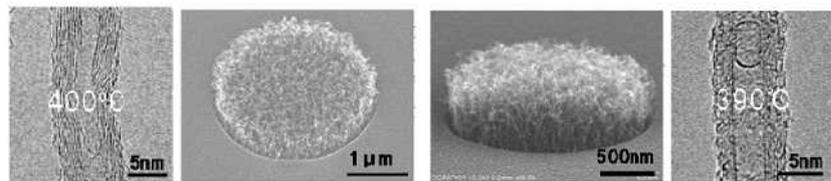
Low-K 膜内の低誘電率化のための空孔は配線プロセスでのポイド形成やバリアメタルの染み込みを起しやすく、Low-K 膜の側壁を拡散防止膜で覆う対策が開発された。バリアメタル形成法としては、従来の PVD(Physical Vapor Deposition)法による Ta/TaN では 15/10nm であったものを ALD(Atomic Layer Deposition)法による TaN により 1nm と極めて薄くすることが可能になり、Cu 拡散防止と低抵抗化を実現した。これらの性能向上と信頼性向上の実現により、Low-K 膜として多孔質 MSQ を用いた2層 Cu 配線試作では、ALD-TaN バリアの場合には、PVD-TA/TaN の場合に比べてピア抵抗が約 1 / 3に低減し、配線抵抗も 20%以上の低減効果が確認された¹⁶。

5) ナノシリコンインテグレーション(新探求配線、ロバスト Tr)

2006 年 4 月からあすか プロジェクトが開始され、Selete は STARC とともに引き続きその実行を分担することになった。また MIRAI プロジェクトも同じ 2006 年 4 月に開始され、Selete は新たにその主要実行機関となった。こうして、Selete は、それまでの「先端プロセス・デバイス技術の先行開発」に加えて「新技術開発の推進」という新たな側面をも有することになった。

MIRAI プロジェクトとして Selete が担当するテーマは、「次世代マスク基盤技術(hp45/32 マスク)」および「Nano Silicon Integration(NSI)」である。前者は EUV マスク技術であり、後者は「新探求配線技術」と「ロバストランジスタ技術」である。いずれのテーマも、新たなブレークスルーを必要としており、特に後者の2つのテーマは新規技術分野を切り開くものである。

「新探求配線技術」は、カーボン配線技術と LSI チップ光配線技術である。カーボン配線技術は、デバイス寸法の微細化が進むにつれて課題が多くなってきている配線ピア埋め込み用カーボンナノチューブ(CNT)配線技術であり、微細開口部へのカーボンナノチューブの低



表面流動起型プラズマCVD法
M. Katagiri, et al.: SSDM2007

先端放電ラジカルCVD法
D. Yokoyama, et al.: SSDM2007

図13 CNT 低温選択成長プロセスの開発

温選択成長技術(図13)¹⁷、成長後の表面平坦化および低抵抗接続技術、CNT 配線ダマシン技術、CNT 低温成長技術、300mm 対応装置方式の開発などが進められている。また、世界で初めてCNTピアでのバリスティック伝導を観測し、CNT 成長のための触媒金属活性度の定量観測法を世界に先がけて開発した。

「ロバストランジスタ技術」は、デバイス寸法の微細化の進展に伴って深刻になってきた特性ばらつきを定量的に把握し、その多様で複雑な要因を解析して、ばらつきをコントロールする手法を確立するものである。なお、このテーマと関連するが、2007年6月からは、さらに「耐外部擾乱デバイス技術」もテーマとして追加された。こちらのテーマは、中性子入射、電源ノイズなど LSI の外部からの擾乱に起因するデバイス特性変動の物理的メカニズムの理解とモデリング技術の開発により、ばらつき制御の基盤技術開発を行うものである。

ロバストランジスタ技術では、(1)ばらつき解析のための標準 TEG 開発、(2)高速測定システムの導入と高速化の実現、(3)ばらつき成分分離手法の確立、(4)ばらつき標準化手法の開発、(5)酸化膜/基板界面のアトミックラフネス評価技術の開発などが進められた。標準 TEG には 100 万個のトランジスタなどが含まれており、 ± 5 のしきい値 V_{th} のばらつきが測定できる。また、高速測定システムの導入に加えて TEG 最適化およびアルゴリズムの最適化を行って従来測定に比べて1万分の1程度の時間で測定可能にした¹⁸。また、ばらつき標準化手法として、新たに Takeuchi プロットという手法を開発した。従来手法による Pelgrom プロットではトランジスタのしきい値 V_{th} あるいは酸化膜厚 t_{ox} が同一であればしきい値ばらつきがデバイス面積に依存するパラメータに対して直線的に変化

するが、Vthあるいはtoxのいずれかが異なると直線に乗らなかった。しかし、Takeuchiプロットでは、デバイス面積に依存するパラメータを工夫して、直線上に乗ることを確認した。このような技術開発により、各種デバイスのばらつきを統一的に評価することができるようになり、PMOSとNMOSとでばらつきの傾向に差があることが分かり、PMOSでは離散不純物に依存したばらつきでほぼ説明可能であること、NMOSではそれだけでは説明できないことを世界で初めて明らかにした¹⁹。

4. Seleteの成果と問題点を考える際のいくつかのポイント

(1)当初目標設定の背景と問題点

Seleteが発足したのと同様に、1995年度補正予算に半導体関連研究予算が組み込まれたため、その受け皿機関として技術研究組合 超先端電子技術開発機構(ASET)が発足した(1996年2月)。この予算を半導体メーカーが出資するSeleteが受け入れた場合には、米国から産業助成と非難される可能性があり、これを避けるために、基礎研究的項目を行う組織を100%政府資金で作ったのである。そこで、Seleteで実施すべく検討されていた開発項目のうち一部をASETに振り向けた。

このように、研究開発の組織とそのための資金源との組み合わせは微妙な政治的判断に基づいて行われている。しかし、資金的な面から別組織になっても、研究開発の実態としては一体としてあるいは連携して進めていくのが効果的であり、そのための枠組みとして横断的なプロジェクトも作られている。例えば、Selete、STARCおよびASETを包含する形のMIRAIプロジェクトやあすかプロジェクトであり、さらにそれら全体を統括する形の「つくば半導体コンソーシアム」がそのような横断的な枠組みといえる。また、いったん作られた期間限定型の恒常的組織を大きく改編するのは容易ではないので、プロジェクトの目標に応じて適切な組織間の連携を進めた、と見ることもできる。しかし、政府資金によるプロジェクトでは「リーダーは中立機関から出す」ということが原則になっているために、政府資金プロジェクトと民間資金プロジェクトの全体を統一するのは非常に困難であるという事情があるようだ。

上記のように、類似したテーマについて複数の恒常的組織が併存する理由は、主に資金源の違いによると考えられるが、関連する研究開発テーマについては、これら複数の資金源であっても、統一的に効率的な運営が行われるのが効果的なあり方ではないかと思われる。この点については、政府予算と企業からの資金とを資金源とするヨーロッパのIMECがその良い例であろう。米国においても、業界を統一する形での組織(例えば、SEMATECH)と主導権争いや個別企業のビジネス展開の結果としての個別組織(例えば、インテルを中核とするEUVLLCやLucentを中核とするe-Litho)とがあるが、後者のような場合、運営がうまくいっていないとの議論もあり、効果的な組織運営のためには、公的な資金と企業資金の組み合わせが重要な要因であるように思われる。

(2)300mm製造装置・材料評価

300mm製造装置・材料評価というテーマに関連する問題点としては、第1には、「300mm量産装置性能評価と性能向上」という当初目標の前提となる300mmシリコン基板規格の決定自体が日本の半導体産業にとって時宜に適した目標であったかどうか、時期的に早かったのではないかと、という問題がある²⁰。先行していた日本企業に追いつくには300mm化を早く実現して同じスタートラインに立つのがよいという米国企業の戦略に乗ってしまう結果となって、200mmウェーハで日本企業が先行していた態勢の維持にはむしろマイナスになったのではないかと議論である。シリコンウェーハの大口径化の流れからすると300mmウェーハの市場占有率が10%になるのは2005年頃との予測も出されていた²¹。ただし、規格が決定された以上は、装置性能評価と性能向上が必要なことは確かであった。

第2には、「装置評価」だけでなく「技術開発」をも行うべきであるという問題がある。これに関しては、国家予算との関係で開発テーマの「切り分け」が行われ、EB直描装置、EBマスク描画装置、X線等倍リソグラフィ技術、ArFリソグラフィ技術などの技術開発テーマはASETが担当し、Seleteは、技術開発テーマも一部分担するが、主要なテーマは300mm製造ライン整備のための装置評価とされたという事情があった。そして、その後1997年には先端リソグラフィ技術およびTCADの技術開発テーマが追加され、2000年には「あすかプロジェクト」のスタートがあり、Seleteでも2000年度から(実質的には1999年度の途中から)「技術開発」のテーマを大幅に見直してF2リソグラフィ、電子線投影露光、High-Kゲート絶縁膜、Low-K層間膜等の開発がスタートしており、技術開発も含む総合

的な体制となっている。

(3) 委託企業のニーズ多様化への対応および装置メーカーとの密接な共同開発の進展

2001年度から始まったあすかプロジェクトではhp65nm対応のデバイス・プロセス技術開発がテーマであったが、委託企業の中には、微細化の進展に対応してhp45nm技術への要望も強く、このようなニーズ多様化への対応として2004年度からは、「hp45対応FEP」「hp45対応BEP」など希望する委託者のみが参加する「選択プログラム」が開始された。

参加企業に共通するテーマと先行企業が希望するテーマあるいは独自路線を採用する企業の希望するテーマなどを1つの共同研究開発組織で実施することは、IMECやSEMATECHなど最近一般的に見られる傾向である。重要開発課題において微細化世代が異なると具体的な個別テーマに違いが出てくる場合や共通する技術群の中でも組み合わせ方に個々の企業の独自性が現れる場合など、先端技術開発のあり方に共通性ととも独自性が現れる状況あるいは段階があるからであろう。

また、選択プログラムでは、参加した装置メーカーからの出向社員とデバイスメーカーから出向しているSelete社員とが机を並べて技術開発を進めており、密接な共同開発のためのSeleteとしても初めての試みとなっている²²。

2006年度からの研究開発プログラムでは、(1)先端コアプログラム(開発プログラム毎のトップランナーに合わせた最先端開発)、(2)共通コアプログラム(11社共通の技術課題への取り組み、300mm試作ラインを活用した委託者支援プログラム)、(3)NEDO委託プログラム(MIRAIプロジェクト受託による次世代基盤技術の先行実用化開発)が

実行されていることは既に述べたが、先端コアプログラムでは、それぞれのテーマにおいて、直接関係する装置・材料メーカーが参加して、会員企業と密接に連携して開発を進めている(図14)²³。

ところで、上記のような委託企業のニーズ多様化ということは、Seleteのような研究開発コンソーシアムのテーマ選定において、「非競争領域での協業」という基本的考え方を実行する上での難しさをも示している。hp45nm対応技術開発に取り組みたい先行企業にとっては、hp65nm対応技術開発はすでに「競争領域」に入ってきている場合もあるのではないと思われる。そのような先行企業にとっては、hp65nm対応技術は自社開発が重要な段階にあるのであって、共同研究開発組織での開発には冷淡にならざるを得ない。

hp65nm対応デバイス・プロセス技術開発も、先行企業以外の企業のみが参加する「選択プログラム」にするなどの工夫が必要であろう。

(4) つくばコンソーシアムにおける体制上の工夫

電子情報技術産業協会(JEITA)半導体部会と半導体産業研究所(SIRIJ)が2005年7月に第2次SNCC(半導体新世紀委員会)報告として公表した「2006年度以降の半導体共同研究開発体制」が、その後の半導体研究開発プロジェクトのあり方を決定づけた²⁴。

そこでは、先端半導体技術の共同研究開発プログラム再構築、MIRAIなど国家プログラムとの間で新たな連携の構築、マネージメント方法変更による開発スピード向上とニーズ多様化への対応などが明記されており、その後のSeleteプログラム改訂や運営体制にそのまま反映されている。また、産学官プロジェクトへの産業界からの期待として、「よりチャレンジングな先端基盤技術」や「新コンセプトによるエマージング技術への早期取り組み」が表明されており、それまでの産学官プロジェクトに対して、より実用化を意識することを求め、かつ具体的成果を求める姿勢が明確である。これまでの半導体技術開発プロジェクトは、実用化を目指した応用基礎研究ないしは実用化開発を目的にしたものが多い。その点では、大きくは変わっていないが、より基礎的な面までも包んだプロジェクトによって総合的な成果を、しかも、より早く求めているように思われる。

開発プログラム毎のトップランナーに合わせた最先端開発

◎ FEP (hp45/32nm)
メタルゲート/High-k技術のモジュールベースの実用化先行技術開発、
およびTCADモデリング技術開発
(富士通、NECEL、ルネサス、東芝、ソニー)
(日立国際電気、東京エレクトロ、大日本スクリーン、日立ハイテクノロジーズ)

◎ BEP (hp45/32nm)
Low-k/Cu技術のモジュールベースの実用化先行技術開発
(富士通、NECEL、ルネサス、東芝、松下)
(日本エー・エス・エム、荏原製作所、大日本スクリーン、日立ハイテクノロジーズ)

◎ EUVL (hp45/32nm)
EUVベースのリソ・マスク実用化先行技術開発
(富士通、NECEL、ルネサス、東芝)
(大日本印刷、凸版印刷、HOYA、ニコン、キヤノン、東京エレクトロ、大日本スクリーン、日立ハイテクノロジーズ)

図14 Seleteの先端コアプログラム(2006年5月)

これは、民間企業が主導するプロジェクトによって基礎的研究を長期的観点のもとに推進することがどの程度可能なのかという問題や、プロジェクトでの成果を参加企業がどれだけ実用化に生かしたかの評価指標のあり方にも関係する問題であり、今後も議論されるべきポイントである。

上記報告では、新たな連携体制の構築について、「日本における先端半導体プロセス研究開発の産学官拠点を目指す」としており、「つくばR&Dセンター - つくば半導体R&Dプロジェクト - 」という構想を示し、プロジェクトを統括するリーダーによる一元化されたプロジェクトマネジメントを実現することを目指していた。

実際に、「つくば半導体コンソーシアム」として実施されている連携体制は、図9に示したものであり、ほぼ上記報告のとおり体制となっているが、完全な一元化が実現されているかは不明確である。国家予算からの資金によるプロジェクトと民間資金によるプロジェクトの実体としての「一元化」はやはり難しいために、「R&Dセンター」とせず、あえて「コンソーシアム」としたようにも思われる。

(参考文献)

- ¹ 日本半導体産業研究所(SIRIJ)は、日本の半導体産業の活性化と国際競争力の向上を目的に、各種ビジョンと実行プラン策定のシンクタンクとして1994年4月に設立された。現在の会員数は11社(富士通、松下電器産業、NECエレクトロニクス、沖電気工業、ルネサステクノロジ、ローム、三洋半導体、セイコーエプソン、シャープ、ソニー、東芝)。<URL <http://www.sirij.jp/>>
- ² 半導体先端テクノロジーズ、プレスリリース(1999年11月26日)
<http://www.selete.co.jp/2005/SeleteHPJ1/Data/199911/9911a01.html>
- ³ Selete ホームページ(http://www.selete.co.jp/?act=selete_organization)の表をもとに筆者作成。
- ⁴ Selete 10周年機関誌, p.3、半導体先端テクノロジーズ(2006年3月)
- ⁵ Selete 2007 Annual Report, p.22、半導体先端テクノロジーズ(2008年)
- ⁶ Selete 2005 Annual Report, p.16、半導体先端テクノロジーズ(2006年)
- ⁷ Selete 各年次報告書等から筆者作成(各テーマの開始/終了は年度の区切りとは必ずしも一致しないので、概略を示している)。
- ⁸ 廣瀬全孝、Selete NEWS SPRING 2003, p.3.
- ⁹ Selete 2006 Annual Report, p.2、半導体先端テクノロジーズ(2007年)
- ¹⁰ Selete 2003 Annual Report, p.3、半導体先端テクノロジーズ(2004年)
- ¹¹ Selete 2007 Annual Report, p.10、半導体先端テクノロジーズ(2008年)
- ¹² Selete 2007 Annual Report, p.10、半導体先端テクノロジーズ(2008年)
- ¹³ <http://japan.cnet.com/news/tech/story/0,2000056025,20070377,00.htm>
- ¹⁴ ニューフレアテクノロジー社の会社説明会資料:
http://eir.eol.co.jp/EIR/View.aspx?template=ir_material&sid=438&code=6256
- ¹⁵ 2001年度～2005年度 Selete 年次報告書
- ¹⁶ 2003年度 Selete 年次報告書、p.18.
- ¹⁷ MIRAI 第3期中間評価事業原簿 2007年11月20日、p.96、NEDO.
- ¹⁸ 2007年半導体MIRAIプロジェクト成果報告会資料、2007年12月18日、p.135.
- ¹⁹ 2007年半導体MIRAIプロジェクト成果報告会資料、2007年12月18日、p.136.
- ²⁰ 垂井康夫、「電子協シリコン関係委員会の活動」、ITインダストリーレポートMar. 2001, p41.
- ²¹ 「2005年ごろに300mmウェーハは市場占有率10%に:垂井康夫・早大客員教授に聞く」、レアメタル・ニュース NO.1816, p.7, 1996年6月1日。
- ²² 2005年度 Selete 年次報告書 p.12.
- ²³ Selete Symposium 2006 配付資料、2006年5月30日、p.61.
- ²⁴ JEITA ニュースリリース、2005年7月12日; <http://semicon.jeita.or.jp/news/docs/20050711-press.pdf>