

先端 SoC 基盤技術開発 (ASPLA) - 夢見た日の丸ファウンドリ -

(株)先端 SoC 基盤技術開発 (ASPLA) は、国費 315 億円を投入し半導体メーカー 11 社が全体で 18 億 5 千万円を出資して 2002 年 7 月に設立された。設立の目的は、NEC 相模原事業所の敷地内に 90nm ノードの 300mm ウェハ製造ラインを構築し、システム LSI に適した標準プロセスを開発することである。同時にデザイン・ルールの標準化、その標準プロセスによるシステム LSI の試作検証、設計資産を IP (intellectual property) 化して、生産性の高いシステム LSI 開発プラットフォームを提供することであった。

一般企業向けの試作シャトル・サービスを 2004 年 5 月に開始し、大学共同利用の LSI 設計施設である大規模集積システム設計教育研究センター (VDEC) でも 2004 年 10 月からこの試作シャトル・サービスを利用できるようになった。

2005 年 9 月、このプロジェクトの役目が終了したとして設立からわずか 3 年余りで会社は解散した。

本章ではこの ASPLA の設立から解散までの経緯について述べる。

1. 設立の経緯

(株)先端 SoC 基盤技術開発 (ASPLA) は、システム LSI (SoC⁽¹⁾) 開発の設計環境を整備するとともにシステム LSI の開発プラットフォームを構築し、この開発プラットフォームを公開することで半導体メーカー各社でのシステム LSI 開発を容易にすることを目的とし、国費 315 億円を投入して 2002 年 7 月に設立された。

(株)先端 SoC 基盤技術開発の略称は ASPLA (Advanced SoC Platform Corporation) であり、以下 ASPLA (アスプラ) と称する。

経済産業省の肝いりで 2001 年度第 2 次補正として 315 億円の予算が成立し、この 315 億円が産業技術総合研究所を通じて ASPLA に投入された。

この 315 億円とは別に ASPLA 設立時の資本金として (社)電子情報技術産業協会 (JEITA) 半導体幹部会の構成メンバー企業 11 社 (富士通、日立製作所、松下電器産業、三菱電機、日本電気、東芝、沖電気工業、ローム、三洋電機、シャープ、ソニー) が出資した。その内訳は富士通、日立製作所、松下電器産業、三菱電機、日本電気、東芝の 6 社がそれぞれ 1 億 5 千万円ずつ、沖電気工業、ローム、三洋電機、シャープ、ソニーの 5 社がそれぞれ 1 千万円ずつを出資して合計 9 億 5 千万円となっている。2003 年 3 月には先の 6 社がさらに各 1 億 5 千

万円を増資を引き受けて資本金合計は都合 18 億 5 千万円となった。

ASPLA の社長兼 CEO に前東芝半導体情報技師長の川手啓一氏が就任し、従業員数は約 150 名で始まった。

まず NEC 相模原事業所の敷地内に 90nm ノードの 300mm ウェハ製造ラインを構築し、システム LSI に適した標準プロセスを開発する作業から始まった。デザイン・ルールの標準化を行い、その標準プロセスによるシステム LSI の試作検証を行うと共に、設計資産を IP (intellectual property)⁽²⁾化して、生産性の高いシステム LSI 開発プラットフォームを提供することが ASPLA の最大の目標であった。

具体的には「半導体理工学研究センター (STARC)」(以下、STARC と称する)が 2001 年 8 月に既に発表済みの標準デザイン・ルールをベースに 90nm ノード製造プロセスの標準化を行い、その標準化に対応する試作ラインを構築し一般企業にも開放することを意図していた。

ASPLA 自身は、その設立意義を次のように説明している。

- (1) 半導体メーカー各社でバラバラだったプロセスを標準化し、それに基づいた IP の検証によって、ユーザーに対し生産性の高い設計環境を提供できるようになる。
- (2) 半導体メーカーにとって非競争領域であるプロセス開発を共通にすることによって、半導体メーカー各社のムダな開発を省き、競争領域の強化に専念できるようになる。
- (3) すでに取り組んでいる「あすか」や「STARC」、将来的には「半導体 MIRAI プロジェクト」のそれぞれの成果を試作・検証できるようにする。

2. プロジェクトの開始

産業技術総合研究所は ASPLA と共同研究契約を締結し、経済産業省の 2001 年度補正予算 315 億円を使って日本電気(以下、NEC)相模原事業所の敷地内に 90nm ノード 300mm ウェハ対応の LSI 試作ライン「先端 SoC 共同研究センター」を 2003 年 3 月に竣工し、システム LSI 設計・製造の共同研究をスタートさせた。

といっても ASPLA の実際の仕事は STARC との共同作業に拠るところが大であり、STARC がシステム LSI 設計のための設計環境の準備を行い、ASPLA はシステム LSI チップの試作を行うという作業分担である。

STARC は、2001 年 4 月に発足した「あすかプロジェクト」に参加して IP やシステム LSI の標準設計基盤技術の開発を既に開始しており、2002 年 7 月の ASPLA 設立と同時に共同で「ASPLA (エー・エス・スター) プロジェクト」を発足した。この後、ASPLA と STARC は共同で SoC 開発のための共通基盤技術として「SoC テクノロジープラットフォーム⁽³⁾」の構築を進める。

3. 試作シャトル・サービスの開始

ASPLA は産業技術総合研究所との共同研究により 2003 年 10 月に 90nm ノードのシステム LSI 対応のメタル 6 層銅配線による標準プロセス製造技術を完成し、メンバー企業向けの試作シャトル・サービス⁽⁴⁾(通称:スターシャトル)を開始した。

2003 年 12 月にはやはりメンバー企業向けに 90nm ノードのシステム LSI 対応メタル 6 層/9 層銅配線の低消費電力プロセスによる試作シャトル・サービスを開始している。

メンバー企業向けの試作シャトル開始の発表から約 6 ヶ月後の 2004 年 5 月に、メンバー企業に限定せず一般企業向けの試作シャトル・サービスも開始すると発表。この試作シャトル・サービスで LSI の動作検証が完了した試作チップを量産化する場合、メンバー企業の工場(富士通三重工場、NEC エレクトロニクス鶴岡工場、ルネサステクノロジひたちなか工場、東芝大分工場)において 2005 年春以降に量産が可能となった。

ASPLA の試作ラインを使った試作シャトル・サービスでは 5mm × 5mm のチップサイズを標準とし、そのサイズにうまく収まるような 2.5mm × 2.5mm と 2.5mm × 5mm の 2 種類の違ったサイズの LSI チップも相乗りさせて試作される。

研究開発用途に向けた試作シャトル・サービスの価格は、通常の 90nm ノードの LSI 試作に比べて格段に割安で、ゲートアレイ並みの価格で提供できるという。

わが国の大学共同利用の LSI 設計施設として東京大学に大規模集積システム設計教育研究センター(略称 VDEC(ブイデック)⁽⁵⁾、以下 VDEC と称する)がある。VDEC は 1996 年 5 月に設立され、全国の大学で設計した LSI チップの試作を半導体製造メーカー等に依頼して行ってきた。しかし、これらの試作に使用される製造プロセス技術としては最先端のものが利用できず、一番微細化されたデザイン・ルールでも CMOS プロセスでは日立製作所の 0.18 μm プロセスで、SOI 基板 CMOS では沖電気の 0.15 μm プロセスであった。

このような状況にあって、VDEC でも ASPLA の 90nm デザイン・ルールの試作ラインが 2004 年 10 月から利用できることになった。これは VDEC を利用して LSI チップの試作をしている各大学にとって非常に大きな助けとなった。従来、VDEC を介した試作では最先端製造プロセス技術の利用は難しかったが、ASPLA の試作シャトル・サービスが実現できたことによって各大学でも 90nm プロセス技術を使った LSI チップの試作を行うことが出来るようになった。

2004 年 10 月に第 1 回目のシャトルが実施されて 10 件のチップが試作された。この第 1 回目のシャトルを含めて 2004 年度には 3 度のシャトルが実施されて合計で 14 件のチップが試作された。2005 年度には 2 度シャトル便が実施されて 18 件のチップが試作されている。

少し先走るが 2005 年 9 月に ASPLA が解散することになり、その後の ASPLA 試作シャトル・サービスは STARC が窓口業務を引き継ぎ 2005 年 10 月より試作シャトル・サービスの運営を開始した。試作シャトル・サービスの窓口が ASPLA から STARC へ移行された後の VDEC 向け試作シャトル・サービスの実績は 2005 年 11 月に 17 件、2006 年 2 月に 9 件、2006 年 5 月に

8 件と 3 便実施された。

その後、VDEC における試作シャトル便の回数は順調よく伸びて、2006 年度では 6 回のシャトル便が実施され、合計 43 件のチップが試作された。

STARC の試作シャトル・サービスは試作費用が安価に据え置かれているので、利用者特に大学関係者にとっては非常に助かるサービスであるが、一方で試作シャトル・サービスを提供する側での経済的負担は大きい。富士通、ルネサステクノロジ、松下電器産業、NEC エレクトロニクス、東芝の 5 社が 1 社当たり 10 億円程度を提供して試作シャトル・サービスの経費を賄っているといわれている⁽⁶⁾。

4. 市販の CPU コア等の動作確認

ASPLA の当初の目標は、システム LSI 対応の 90nm デザイン・ルールの標準化とその標準プロセスによる試作検証、設計資産の IP (intellectual property) 化、一般ユーザーに対する設計プラットフォームの提供であった。ASPLA のデザイン・ルールを普及させるために市販の CPU コア⁽⁷⁾等を ASPLA デザイン・ルールで再構築し、ASPLA の試作ラインで動作確認を行う作業も必要になってきた。そこで CPU コアを有する何社かと共同で代表的な市販 CPU コア等の動作確認を ASPLA の製造ラインで行っている。

(1) ルネサステクノロジ「SH-4」の試作・動作確認

ルネサステクノロジは RISC⁽⁸⁾タイプの 32 ビット CPU コア「SH-4」を ASPLA の 90nm 低消費電力プロセスで試作し、2004 年 10 月に動作確認を完了したと発表⁽⁹⁾。ルネサステクノロジがプロセスに依存しない「SH-4」のシンセサイザブル・デザインキットを提供、STARC は開発した設計メソッド「STARCAD-21⁽¹⁰⁾」を使用して RTL⁽¹¹⁾から GDS⁽¹²⁾へ変換しマスクデータを作成、ASPLA が試作を行い、その試作チップの動作確認はルネサステクノロジが行った。

(2) 英 ARM(アーム)社の組み込みプロセッサ「ARM7TDMI」コアの試作・動作確認

英 ARM 社の組み込みプロセッサ「ARM7TDMI」のコア検証チップを使って、ASPLA のメタル 6 層配線 90nm 標準プロセスによる ASPLA 試作シャトルで試作し、動作確認を完了したと 2005 年 1 月に発表⁽¹³⁾。ARM はプロセッサのアーキテクチャと検証環境を、STARC は 90nm デザイン・ルール・ライブラリを提供し、NEC マイクロシステム(株)がテストチップの設計を分担した。

(3) 東芝 32 ビット RISC プロセッサ「MeP」の試作・動作確認

東芝は用途に応じてユーザーがカスタマイズできる 32 ビット RISC プロセッサ「MeP(メディア・エンベデッド・プロセッサ)」を ASPLA の 90nm 製造ラインで試作し動作検証を完了したと

STARC 主催の「SoC 設計技術フォーラム 2005」(2005 年 7 月)で発表した。

(4)米ミップス・テクノロジーズ「MIPS32・4Kec」コア等の論理合成検証

ミップス・テクノロジーズは 32 ビット RISC プロセッサ・コア「MIPS32・4Kec」と「MIPS32・24Kec」の論理合成が ASPLA の 90nm プロセスに適用できることを検証したと 2005 年 7 月に発表した⁽¹⁴⁾。この結果、ミップス・テクノロジーズからライセンスを受けた企業も ASPLA のシャトル・サービスを用いて、これらコアを内蔵したシステム LSI の開発が可能となる。

5 . ASPLA の解散とその総括

ASPLA は 3 年 3 ヶ月の活動期間の後、2005 年 9 月にそのプロジェクトを終了し会社そのものも解散した。NEC 相模原事業所内にあった ASPLA の 300mm ウェハ用 90nm 試作ラインは NEC(この解散時点では、分社化されて NEC エレクトロニクス)に譲られた。NEC は 100 億円の追加投資を行って同社の R & D ラインとして引き続きこの試作ラインを活用している。

ASPLA が解散した後、ASPLA の試作シャトル・サービスは STARC が窓口業務を引き継いで 2005 年 10 月より試作シャトル・サービスの運営を行っていることは既に述べた通りである。

ASPLA が正式に解散する 2 ヶ月前、2005 年 7 月に(社)電子情報技術産業協会半導体部会と半導体産業研究所が共同で「第二次 SNCC(半導体新世紀委員会)報告、2006 年度以降の半導体共同研究開発体制」と称する報告書を発表した⁽¹⁵⁾。その報告書の中に「ASPLA 計画見直し」と題する項目があり、そこには ASPLA の成果を総括して述べると共に ASPLA のミッションは終了したと述べている。つまり、ASPLA を解散するのが良いとの判断が示されており、この報告書に基づいて ASPLA が 2005 年 9 月に解散することになる。参考までに「ASPLA 計画見直し」の内容を以下に示す。

- ◆ ASPLAは9月末にそのプロセス開発のミッションを終了
 - 予定されていた開発を成功裏に完了、そのミッションを終えることにした。
 - IP試作シャトルは各社の協力を得ながら業界として継続。
- ◆ ASPLAで得られた成果
 - 300mm対応90nmノードの標準プロセス開発。
汎用と低電力のプロセスを開発、成果は量産工場立上げにも利用中。
産総研と共同でフォトマスクの仕様や規格の標準化を推進し妥当性を検証。
 - STARCと共同で90nm対応設計技術・設計資産の標準化と蓄積を実施。
設計メソッドの開発や基本IPの開発と整備などを完了。
 - 大学やベンチャーなどに対するIPの試作・検証と量産の引受け。
シャトルによる試作方式を構築、各社との連携で事業化までの対応が可能。
- ◆ 今後の対応
 - 65nm対応の標準プロセスは90nmの成果を生かし各社で個別の開発を推進。
 - 65nm以降の設計技術課題は、STARCにて対応を検討。
 - 45nm以降の研究開発はつくば地区に統合して実施の予定(SNCC2)。

ASPLA の成果総括

(「第二次 SNCC(半導体新世紀委員会)報告、 2006 年度以降の半導体共同研究開発体制 」より)

6. 半導体各社の 90nm ノードへの取り組みはどうなっていたのか

ASPLA に参加した半導体メーカー各社は表面的には ASPLA に協力していく姿勢を見せながら、各社独自で 90nm ノードの技術開発を進め、商品化も次々行っていった。以下に富士通、東芝、NEC エレクトロニクス各社の 90nm ノード技術を使った開発の実態を紹介する。

(1) 富士通の 90nm ノードへの取り組み

ASPLA 発足の 2002 年 7 月よりも 7 ヶ月前の 2001 年 12 月、富士通は超高速処理ハイエンド製品向けに 90nm CMOS 技術によるシステム LSI を自社の「あきる野テクノロジーセンター」で世界に先駆けて生産を開始していた。

ASPLA がスタートする 1 ヶ月前の 2002 年 6 月には、富士通と東芝は ASPLA とは関係なく 90nm と 65nm 世代のシステム LSI ソリューションを核とした半導体事業提携による共同開発で合意し、2002 年度中に IP マクロの共通化や共同開発を完了すると発表した。

2003 年 6 月、社内サーバー向けに 90nm 技術のマイクロプロセッサを開発して量産出荷を開始し、2003 年 7 月には一般向けに 90nm ノード(10 層銅配線、Low-k)技術を使ったシステム LSI「CS101 シリーズ」(システム LSI プラットフォーム)の設計と製造サービスの受注を開始した。先にも紹介したように、この「CS101 シリーズ」の受注開始時期は、ASPLA が一般ユーザー向けに試作サービスを始めると発表した 2004 年 10 月の 1 年 3 ヶ月前のことである。

2004 年 9 月には富士通の 90nm 対応 CMOS プロセスで製造された米トランスメタ社の「Efficeon TM8800」プロセッサ(動作クロック 1.60GHz)が 2004 年 6 月にサンプル出荷されている。ASPLA が一般ユーザー向けの試作サービスを開始した 2004 年 10 月の一ヶ月前である。

2005 年 4 月には三重工場で富士通独自の 90nm 対応 300mm ウェハ採用の量産ラインが稼働している。

(2) 東芝の 90nm ノードへの取り組み

2002 年 12 月、東芝はソニーと共同で世界初となる 65nm 世代(ASPLA が目標とする 90nm 世代の一代先のプロセス)のシステム LSI 向け DRAM 混載 CMOS 技術を開発したと発表している(2002 年 12 月 9 日、国際会議 IEDM)。

2003 年 1 月に米 Toshiba が 90nm プロセスを採用したシステム LSI 用「TC300 ファミリ」を発表した。この時点でサンプルは既に出荷済みで、量産は 2003 年第 3 四半期からである。この「TC300 ファミリ」の受注開始時期は、ASPLA が一般ユーザー向けに試作サービスを始めると

発表した2004年10月の1年9ヶ月前のことである。この「TC300ファミリ」の発表が東芝本体からではなく米 Toshiba である点が、ASPLA の川手啓一社長(前東芝半導体情報技師長)を送り出している東芝本体のASPLA に対する配慮とも受け取れる。

(3) NEC の 90nm ノードへの取り組み

ASPLA の中心企業であった NEC は STARC と ASPLA の設計基準に準拠した 90nm プロセス「UX6」の技術を早い段階で確立し、このプロセス技術を用いた LSI 設計基盤「CB-90」の製品化を2002年11月に発表した。ASPLA が一般ユーザー向けに試作サービスを始めると発表した2004年10月の約2年前のことである。2002年12月からライブラリの提供を始め、2003年3月から受注開始、2003年6月からサンプル出荷、量産は2003年第3四半期からである。

これは ASPLA が設立されたわずか4ヵ月後の発表である。NEC が ASPLA スケジュールよりも遥かに早いタイミングで 90nm プロセス技術の開発を進めていたわけで、ASPLA の設定した目標レベルがいかに低いものであったかを如実に示している。

7. 噴出する多くの疑問点

これまで ASPLA の設立から解散までの状況を足早に紹介してきたが、ASPLA 設立当初から ASPLA に関して不明瞭な点がいまいると取り沙汰されてきた⁽¹⁶⁾。

そして3年後の2005年9月に ASPLA が解散した時点では、ASPLA が使用していた NEC 相模原事業所の敷地内にあった 300mm ウェハ用 90nm ノード試作ラインの所有権は NEC (この時点では、NEC エレクトロニクス)に移転され、NEC エレクトロニクスではこの取得した試作ラインに100億円の追加投資をして自社の R&D ラインとして利用している。

更に付け加えると、当初から ASPLA が目標として掲げた設定レベルが余りにも低すぎたことも疑問である。つまり目標設定レベルを低くしておき、ASPLA が早期に解散した時点で、「初期の目標を十分に達成した」と謳い上げるための筋書きが最初からあったのではないかと思われる。ASPLA が設定した目標レベルが低すぎたとする意見の代表例を2点紹介する。

ASPLA が設立された2002年7月からちょうど一年後の2003年7月、主要メンバー企業の一社である富士通は 90nm ノード(メタル10層銅配線、Low-k)の SoC プラットフォームとしてシステム LSI「CS101 シリーズ」の設計と製造サービスの受注受付を開始している。このプロセス技術も同じ 90nm ノードであるが ASPLA 技術との互換性は全くなく富士通が独自に開発したものである。

ASPLA 技術との互換性がない点に関して富士通の経営執行役常務 LSI 事業本部長である小野俊彦氏は、「彼ら(ASPLA)のスケジュールでは遅すぎる」⁽¹⁷⁾と明確に述べている。ASPLA が 90nm ノードのシステム LSI 標準製造技術(メタル6層銅配線)の完成を発表したのは富士

通「CS101 シリーズ」の受注受付開始から3ヵ月後の2003年10月のことであり、しかもASPLAが一般ユーザー向けのサービスを発表したのは更に1年後の2004年10月のことであった。

もう一つのASPLAに対する批判の例を紹介する。経済産業省の外郭シンクタンクである機械振興協会経済研究所がまとめた2003年の報告書「半導体の創造的破壊力の開放を目指して」の中に、ASPLAに対する提言⁽¹⁸⁾が出ている。それによると「ASPLAは、“標準版”を超えた派生プロセス、ライブラリ、IPの整備が不十分である。マスク技術周辺を含む設計と製造の境界部分における受け渡しオプションの整備を急がねば、存在意義が問われる」と述べられている。つまりASPLAの初期段階からその計画の甘さが指摘されていたことになる。

8. おわりに

2005年7月に提出された「第二次SNCC(半導体新世紀委員会)報告書」にASPLA計画見直し提案されたことを受けて、ASPLAは2005年9月に3年3ヶ月の活動期間を終えてそのプロジェクトを終了し、株式会社そのものも解散した。

NEC相模原事業所内にあったASPLAの300mmウェハ用90nm試作ラインはNEC(ASPLA解散時点では、NECエレクトロニクス)に譲られ、NECエレクトロニクスは100億円の追加投資を行って同社のR&Dラインとして引き続き利用している。

ASPLAが解散した後の試作シャトルサービスの運営は、STARCが2005年10月より引き継いで行っている。

本報告書ではASPLAの設立から終了までを概観してきた。ASPLAの設立時点から既に不明瞭なものが漂っていたが、最後までその不明瞭さは付きまとっていた。しかし、終了時点では(社)電子情報技術産業協会半導体部会と半導体産業研究所の共同報告書「第二次SNCC(半導体新世紀委員会)報告、2006年度以降の半導体共同研究開発体制」(2005年7月)で「ASPLAは予定されていた開発を成功裡に完了し、そのミッションを終えることになった」⁽¹⁹⁾と総括されている。

ただしASPLAプロジェクトのお陰でVDECを通し全国の大学で90nmプロセスのLSIチップの試作が出来る仕組みが調った意義は大きい。この点において、我が国における半導体の教育面でASPLAの果たした意味は大きいものがあると考えられる。

こうしてASPLAは2005年9月に解散したが、その後も「日の丸半導体構想」はくすぶり続け、経済産業省の強い後押しもあって2006年1月に日立製作所と東芝、ルネサステクノロジーの3社が65nm世代の共同生産を行うための企画会社を設立した。資本金は約1億円で、出資比率は日立製作所が50.1%、東芝が33.4%、ルネサステクノロジーが16.5%。社長は元NECエレクトロニクス副社長の橋本浩一氏。しかし、橋本氏の親会社NECエレクトロニクスはこの企画会

社には参加しなかった。この企画会社に関して日経エレクトロニクスは『もはやこの段階では、「引くに引けなくなった経済産業省に各社が付き合っているだけ」(関係者)という色合いが濃かった。大方の予想通り、2006年6月に企画会社は「65nmでの事業化は見送るべき」との結論を発表し、解散する』と紹介している⁽²⁰⁾。

このASPLAプロジェクトのもともとの発想は、国内各社のプロセス開発を共同で行うことで開発コストを削減し、標準化したプロセスに対応した設計環境を構築する点にあったが、どこかでボタンの掛け違いが生じてしまった。

「設立の経緯」のところでも述べたように、ASPLAを設立するときの設立趣旨をみると「プロセス開発が半導体メーカーにとって非競争領域である」との前提条件でこのプロジェクトがスタートしている。もちろん十分に検討された結果であるとは思いますが、本当にそうなのか。ボタンの掛け違いの原点がここにある、「製造プロセスは各半導体メーカーにとっての最大の競争領域」なのではないだろうか。ここで思い出されるのがDRAM分野に新規参入した米マイクロン・テクノロジー社の例である。米マイクロン・テクノロジー社は日本メーカーの半分ほどのマスク枚数による低コスト製造プロセスで64MビットDRAMの製造技術を実現して、日本の半導体メーカーの大部分がDRAM分野から撤退するほどの打撃を与えた⁽²¹⁾。

日経ビジネスは2006年11月27日号⁽²²⁾に、『2002～2005年の間に実施された半導体関連の国家プロジェクト「先端SoC基盤技術開発(ASPLA)」。315億円の国費が投じられたが、参加したメーカーの多くは「絶対匿名」を条件に「ビジネスには直結しなかった」と本音を漏らす。ASPLAの参加企業は11社。国家プロジェクトだから、特定企業のための研究は許されず「みんなが使える技術を目指したら、誰も使わない技術になってしまった」と関係者は笑えない冗談を飛ばす。「お手々つないで」の典型的な失敗例と言っていい。』と、ASPLAに対する厳し見方の記事を掲載している。

参考文献

- (1) システムLSI(SoC: System on a chip): これまではマイクロプロセッサやメモリなど別々のLSIチップを使って構成していたシステムを1チップ上に必要な機能を集積したLSI。
- (2) IP(Intellectual Property): 元々は知的財産権(特許権、商標権、著作権などの総称)を意味するが、半導体分野ではLSIを構成する部分的な回路設計データ(ハードウェアとソフトウェア)、特に機能ブロック単位でまとめたものを意味し、再利用可能な形にまとめ流用することができる。ソフトウェアにおけるライブラリに近いイメージである。
- (3) SoCテクノロジープラットフォーム: ASPLAとSTARCが提唱しているSoC開発のための共通基盤技術のことで、標準となる製造技術と設計技術を準備し、これらを利用して行う試作シャトル・サービスの総称。
- (4) 試作シャトル・サービス: 異なった複数のLSIチップを一つのマスクセットに焼き付けて、このマスクセットを使い同一ウエハ上で異なる複数のLSIチップを同時に試作する相乗り方式のサービスで、個々のLSIチップ当たりの試作開発費が軽減できる。

- (5) **大規模集積システム設計教育研究センター (VDEC: VLSI Design and Education Center)** : 1996年5月に東京大学に設立された全大学共同利用のLSI開発施設で、利用形態はチップの試作、CAD利用、その他の装置利用などがある。
- (6) <http://innovation.nikkeibp.co.jp/etb/20060712-00.html>
- (7) **CPUコア** : CPU (Central Processing Unit) 機能をひとつのブロックとしてIP化したもの。CPUは中央処理装置ともよばれ、コンピュータの中心機能を受け持ち、メモリに記憶したプログラムを実行し、入力装置や記憶装置からデータを受け取り、演算や加工を行った後、出力装置や記憶装置に出力する装置。
- (8) **RISC (Reduced Instruction Set Computer)** : 日本語訳としては縮小命令セットコンピュータとなるが、一般には「リスク」と呼んでいる。CISC (Complex Instruction Set Computer、「シスク」とともにマイクロプロセッサの設計方式の一つで、できるだけ命令を簡略化することによりCPUの内部構造を簡単にして高速化を図り、全体として処理性能を高めようとする設計手法。ワークステーション用のCPUにはこの型のプロセッサが多い。
- (9) <http://www.renesas.com/jpn/news/2004/1026a/index.html>
- (10) **STARCAD-21** : STARCが開発したEDAツール、ライブラリ、解析ツールなどを最適に統合化し、マスク作成のためのシリコンインプリメンテーション用の設計メソッド。試作前にCAD環境上で設計や製造で予想される問題点を事前に確認・保証する設計環境。
- (11) **RTL (Register Transfer Level)** : 同期式のデジタルLSI回路をソフトウェアとして記述する方法の一つで、レジスタ間の組合せ論理回路を数式的に表記する方法。
- (12) **GDSII** : 1970年代に米カルマ(Calma)社が開発したLSI製造用マスクのパターンデータ記述形式の名称で、現在でも一般的に使用されている。
- (13) <http://www.jp.arm.com/pressroom/05/050124.html>
- (14) http://www.mips.jp/06press/Releases/2005/05_07_08.html
- (15) <http://semicon.jeita.or.jp/docs/20050711-press.pdf#search=%22%E7%AC%AC2%E6%AC%A1SNCC%E3%80%80%E5%A0%B1%E5%91%8A%E3%80%80ASPLA%22>
- (16) 朝倉博史、『川手啓一氏インタビュー「プロジェクトの実行、構造改革の核になる」』、日経マイクロデバイス、2002年8月号、pp.112-117、2002。
- (17) 木村、『90nmのLSI設計・製造サービスを富士通が開始、ASPLAとは別に独自路線へ』、日経マイクロデバイス、2003年9月号、p.89、2003。
- (18) 井上弘基、『「ファブレスの転換が急務」国内半導体業界への提言、経済産業省のシンクタンクが報告書』、日経マイクロデバイス、2003年9月号、pp.107-108、2003。
- (19) <http://semicon.jeita.or.jp/docs/20050711-press.pdf#search=%22%E7%AC%AC2%E6%AC%A1SNCC%E3%80%80%E5%A0%B1%E5%91%8A%E3%80%80ASPLA%22>
- (20) 木村雅秀、『失敗の研究 共同ファブはなぜ破綻したのか <下>』、日経エレクトロニクス2007年4月23日号、pp.117-120、2007。
- (21) 湯之上隆、『日本半導体産業・復活への提言 - 経営者も技術者も「もうける決意」が必要だ - 』日経エレクトロニクス2006年10月9日号、pp.143-150、2006。
- (22) 『特集 電子ニ等国ニッポン、「私がNECを解体した」』、日経ビジネス2006年11月27日号、pp.32-35、2006。