

第 10 章 半導体MIRAIプロジェクト - 次世代半導体の基盤技術を開発 -

2001 年度から NEDO の次世代半導体材料・プロセス基盤技術の開発 (MIRAI) プロジェクトが開始された。当初計画では、2001 年度から 2007 年度までの 7 年間の計画で、最初の 3 年間に第 1 期、後の 4 年間に第 2 期とし、第 1 期ではハーフピッチ 65nm、第 2 期では 45nm の微細化に対応できることを目指した。2005 年に計画の見直しを行ない、第 2 期を 2005 年度までの 2 年間とし、それまでの研究成果を産業界に移転し、2006 年度から 2010 年度までを第 3 期としてハーフピッチ 45nm を超える技術課題を解決する事を目的とした。

第 1 期と第 2 期の研究開発は、技術研究組合 超先端電子技術開発機構 (ASET) と産業技術総合研究所次世代半導体研究センターで構成する共同研究体が行なった。第 3 期からは、この共同研究体と半導体各社の共同出資で設立されている Selete とが研究開発を行なう事となった。

第 3 期の研究開発は継続中であるが、プロジェクトの目的を意識しながら、第 1 期と第 2 期の研究開発を概観する。また、随時ベルギーの共同研究機関である IMEC との比較も行なった。

1. 半導体基盤技術の確立をめざす

NEDO の次世代半導体材料・プロセス基盤技術の開発 (MIRAI) プロジェクトは、2001 年度から 2007 年度までの 7 年間のプロジェクトとして開始された。2003 年度までを第 1 期、2004 年度から 2007 年度までを第 2 期として計画された。「システム LSI のような高機能 LSI の実用化に必要な半導体構造の微細化に対応できる半導体デバイス基盤技術の確立」を目的とした。第 1 期では、「ハーフピッチ 65nm」の、第 2 期では「ハーフピッチ 45nm」の微細化に対応できることを目指した。産総研次世代半導体研究センター長の廣瀬全孝氏がプロジェクトリーダーとなり、ASET と産総研の共同研究体で研究開発を実施する事になった。

2005 年 12 月には第 3 期計画を策定し、2006 年度から 2010 年度までを第 3 期として、2010 年度までにハーフピッチ 45nm を超える技術課題の解決する事をプロジェクトの目標とした。¹Selete 社長の渡辺久恒氏がプロジェクトリーダーとなり、廣瀬全孝氏は CSTO (Chief Science & Technology Officer) となった。この改定は、「ハーフピッチ 45nm 技術に関する研究成果は 2005 年度末を持って、原則、産業界に移転する。チャレンジングなテーマがあれば、MIRAI 第 3 期のテーマとして推進する。」という経済産業省と NEDO の方針に従って研究開発内容を大幅に見直した結果である。テーマが大幅に見直されたため、改めて委託先の公募と選定を行ない、Selete と、ASET と産総研の共同研究体が委託先となった。また、2008 年度からは、「EUV 光源高信頼化技術開発」のテーマが追加され、EUV が委託先となった。2008 年度の変更を含んだ半導体 MIRAI プロジェクトの全体スケジュールは図 1 のようにな

る。

	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010
	次世代半導体材料・プロセス基盤(MIRAI)プロジェクトの目的 半導体構造の微細化に対応できる 半導体デバイス基盤技術の確立									
	第1期(65nm)			第2期(45nm)		第3期(45nm以細)				
			中間評価		中間評価		中間評価			
実施項目	高誘電率ゲート絶縁膜 材料・計測・解析技術開発 (High-k)				新構造極限CMOSトランジスタ関連技術開発 ⇒ASETと産総研の協同研究体で実施					
	低誘電率層間絶縁膜 材料・計測・解析技術開発 (Low-k)				新探究配線技術開発 ⇒Seleteで実施					
	将来のデバイスプロセス 基盤技術開発				特性ばらつきに対し耐性の高い デバイス・プロセス技術開発 ⇒ Seleteで実施					
	ASETと産総研の共同研究体で実施				次世代マスク基盤技術開発 ⇒Seleteで実施					
					EUV光源高信頼化技術開発 ⇒EUVAで実施					

図 1. 半導体 MIRAI プロジェクトの全体スケジュール²

2. 原理原則に立ち返った論理的アプローチを

2001年8月から半導体 MIRAI プロジェクトがスタートした。その時に、プロジェクトリーダーの廣瀬全孝氏を日経マイクロデバイスがインタビューした記事がある。その記事から、プロジェクト発足当初の目的と特徴をまとめた。³

NEDO の公募に対して 70nm ~ 50nm のテクノロジー・ノードに対応した次世代半導体基盤技術を開発する半導体 MIRAI プロジェクトを提案し、2001年7月に正式に採択され、プロジェクトがスタートすることになった。研究組織は、産総研次世代半導体研究センターと ASET の共同研究体で構成した。大学からも 13 研究室が参加し、総勢 100 名を超えるプロジェクトとなった。研究グループは 高誘電率(High-k)材料ゲートスタック技術、 低誘電率(Low-k)材料配線モジュール技術、 リソグラフィ・マスク計測技術、 新構造トランジスタ及び計測解析技術、 回路システム技術の 5 つのグループからなっていた。

これまでのプロジェクトとの違いについては、責任の所在が明らか、目標設定が明確、人材重視の運営、原理・原則に立ち返った論理的な研究手法を追求する、と言う 4 点を挙げている。責任の所在については、プロジェクトリーダーの廣瀬全孝氏が全責任を持っている。計画の立案段階から責任者としてかわり、責任が取れる計画を策定した。目標設定については、研究テ

ーマを5つに絞込み、数値目標を明確にした。この数値目標は容易に達成できるものではなく、いくつかの要素技術を組み合わせて実用化可能なモジュールレベルの開発を前提とした。数値目標は前期の3年終了時点で外部評価を実施し、市場との整合性をチェックすることとした。

すべての技術者を廣瀬氏が面接して採用か不採用かを決めた。MIRAI に所属する技術者を企業、大学の区別なく同格と見なした。これは若手研究者や大学院生が新しいコンセプトやアイデアを出しやすくするためであった。

原理・原則に立ち返った論理的アプローチをとるために、市販の装置を使うのではなく、自分たちで設計・製造した装置を使う。必要とする装置が存在しないという事情もあるが、技術者の科学的・論理的なセンスを磨く意味でも重要である。市販の装置はボタンを押すだけで操作は簡単だが、原理・原則に立ち返って考える機会が少なくなる。技術者がチャンバの蓋を開けて内部を調整するという直接的な作業を増やし、こうした作業を通じて、論理的な開発指針が得られるようにする。この点ではIMECのやり方とは一線を画している。IMECでは、装置メーカーのベータ版などを使って研究・開発を行なっている。

MIRAI プロジェクトの目的は基盤技術の開発を目指したものであった。⁴つまり、IMEC が目指したような製造ライン全体をつないだ半導体量産技術の確立というよりは、微細化に対応する要素技術あるいは要素技術を組み合わせた要素モジュール技術の開発を目指し、そのような技術モジュールを使って量産ラインを構築していくための技術開発は、Selete や半導体メーカーに任ずという方針であったようだ。開発者自身が設計・製造した装置を使うというところにそれが明確に現れている。IMEC のような量産技術を開発するための研究成果を求めることをプロジェクトの目的とはしていないが、2003 年度の中間評価報告書に「半導体技術は最終的には集積化技術であり、実用化・事業化にはデバイスメーカーとの連携による実証実験が必須である。このためには「あすか」などの他のコンソーシアムとの役割分担とそれに基づく連携が不可欠である。⁵」と述べられているようにMIRAI プロジェクト以外のプロジェクトを含めて量産技術の開発に対してどのように役割分担をし、共同していくのかを明確にしておく事は重要であった。

半導体 MIRAI プロジェクト開始時点の研究開発体制を図2に示す。

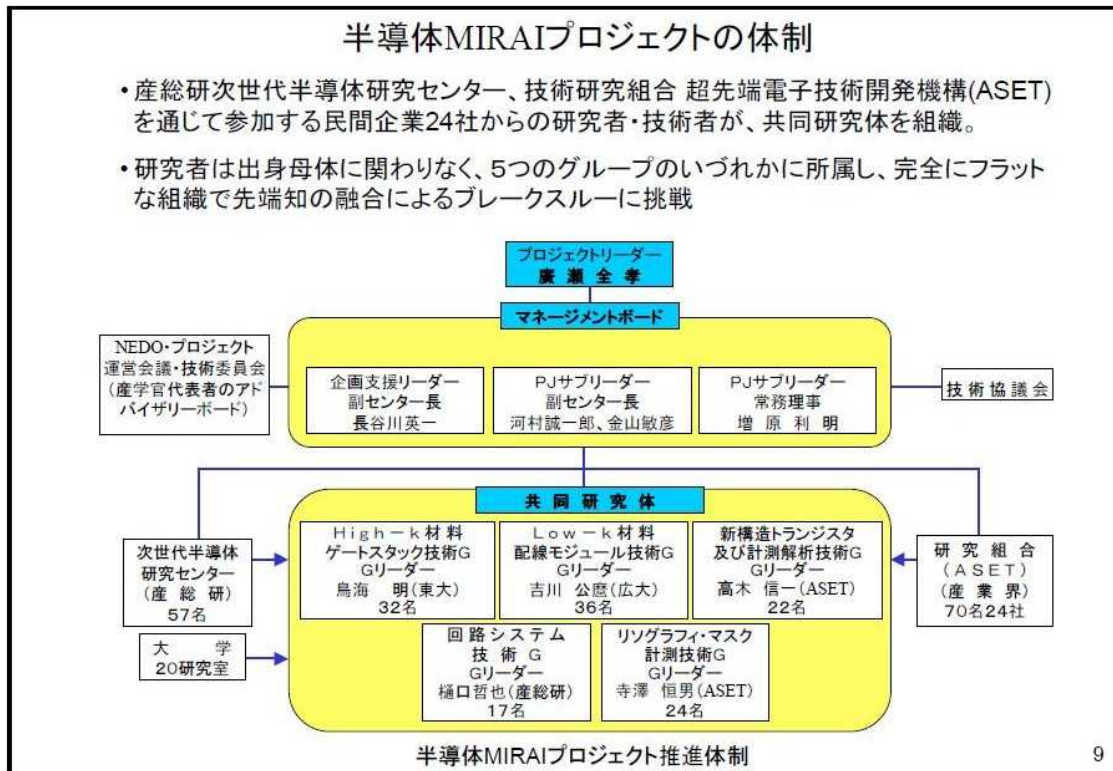


図 2. 半導体 MIRAI プロジェクト体制(開始時)⁶

3. 世界のレベルへの挑戦

第 1 期及び第 2 期の主な研究成果は以下の通りである。⁷なお、第 2 期は、2004 年度から 2007 年度の 4 年間の予定であったが、後述する計画改定により 2005 年度で終了した。2005 年度における目標達成状況を表 1 に示し主な研究成果について 3.1 から 3.5 に記述した。

表 1. 2005 年度における目標達成状況⁸

	第二期(平成16-19年度)当初目標	第二期(平成16-17年度)再設定目標	達成状況	
①高誘電率ゲートスタック技術	<ul style="list-style-type: none"> ●EOT=1.0nm、ゲートリーク電流100mA/cm²(@Vg=1.0V,100°C)以下、移動度は通常シリコン酸化膜を用いた場合の80%以上 ●EOT=0.5nm、リーク電流1A/cm²(@Vg=0.5V)以下 ●ゲート絶縁膜形成技術とメタルゲート成膜概念実証機(実施見送り) ●移動度向上、メタルゲートの仕事関数制御の指針となる物理モデル構築 ●原子スケール材料分析・解析に基づくMOSFETの高性能化・高信頼化 	<ul style="list-style-type: none"> ●EOT=1.2nmにおけるゲートリーク電流20mA/cm²(@Vg=1V,100°C)以下、移動度は通常シリコン酸化膜を用いた場合の80%以上 ●High-k界面傾斜組成技術開発 ●フェルミレベルピニングの影響を低減し、メタルゲート電極高誘電率ゲート絶縁膜界面を制御する技術 ●メタルゲート電極/高誘電率ゲート絶縁膜のスタック構造の形成技術を開発 ●電氣的ストレスによる劣化の素過程を高精度にモデル化し、絶縁破壊寿命推定に適用可能な長期信頼性評価式を構築 	<ul style="list-style-type: none"> ●達成。 ○第三期に推進 ●達成 ●達成 ●達成 	
②低誘電率材料・配線モジュール技術	<ul style="list-style-type: none"> ●比誘電率2.0-1.5、弾性率10-3GPaのスケーラブル高強度低誘電率絶縁膜材料 ●多層配線モジュールのクリティカルプロセスに対する要素プロセス技術 ●Low-k材料の化学結合・構造(空孔構造や薄膜機械特性など)マイクロ評価技術 	<ul style="list-style-type: none"> ●ポーラスシリカLow-k(k<2.0)膜の構造強化技術開発、実用性実証 ●プラズマ重合材料の高強度化、Low-k化 ●シリカ系Low-k材料の新気相成膜技術、概念実証 ●Low-k材料を用いた配線モジュール評価を、デバイスメーカーや他コンソーシアムと共同で行い、実用性実証 ●エッチング、アッシング、銅めっき、CMP等ポーラス材料への低ダメージプロセスとダメージリカバリープロセスを開発 ●計測・評価技術を高精度化、ボア径分布計測および機械強度計測についてin-line測定装置を開発 	<ul style="list-style-type: none"> ●達成 ●達成 ○実施見送り ●達成 ●達成 ●達成 	
③将来のデバイスプロセス基盤技術開発	③-1 新構造トランジスタ及び計測解析技術	<ul style="list-style-type: none"> ●45~32nm以降世代に向けた究極性能を達成し得るMOSFET構造 ●OFF電流を揃えた条件下でのON電流が、通常Si MOSFET比2倍以上 ●ひずみSiチャンネルCMOSのインテグレーション課題抽出と解決策提示 ●10nmの空間分解能で不純物ドーピングプロファイルを計測する技術 	<ul style="list-style-type: none"> ●チャンネル長70nm以下のひずみSiトランジスタ性能実証 ●200ミリ径ひずみSOI基板の高品質化 ●高Ge濃度SiGeチャンネルSGOI MOSFETやGeチャンネルGOI MOSFET構造の提案と実証 ●立体ゲート電極構造と新チャンネル材料を融合した、新デバイス構造の提案と実証 ●空間分解能1nmの不純物プロファイル計測可能な走査プローブ技術、空間分解能50nmのSiの応力分布計測技術を開発 	<ul style="list-style-type: none"> ●達成 ●達成 ●達成 ●達成 ●達成
	③-2 ウエハ・マスク関連計測技術	<ul style="list-style-type: none"> ●45nmノード対応マスク欠陥検査、パターンニング済ウエハ欠陥検査技術 ●AFMによる0.5~0.3nmの精度を有するCD計測技術 ●50nm微粒子の分析同定 	<ul style="list-style-type: none"> ●DUV光透過、反射検査像を用いる検査用画像生成技術 ●EUVマスクブランク検査高性能化技術開発 ●DUV光による分解能60nmのウエハ検査光学系開発 ●CD-AFMプローブ制御技術、探針傾斜走査技術を開発し、精度0.5-0.3nmを達成。低LER基準パターンを開発 ●大口径ウエハ観測用EUPSシステムを開発。ウエハ上50nm微粒子分析の要素技術開発 	<ul style="list-style-type: none"> ●達成 ●達成 ●達成 ●達成 ●一部達成
	③-3 新回路構成技術	<ul style="list-style-type: none"> ●適応型遅延回路技術に基づく低消費電力化回路技術を実証 ●自律的回路動作調整機能を開発し、GA調整技術を大きく進化 ●高速デジタル・データ転送回路、アナログ多電源回路などへの応用 	<ul style="list-style-type: none"> ●適応型クロック調整を商用LSIIに適用、低消費電力化技術実証 ●通信処理向きLSIを開発し、LSI間の高速データ転送技術実証 ●プログラマブル遅延回路自動挿入ツール、遅延調整シミュレータ開発 ●MOSFETモデル向けパラメータフィッティングツール開発 	<ul style="list-style-type: none"> ●一部達成 ●達成 ●達成 ●達成

3.1 High-k ゲート絶縁膜

半導体集積回路の微細化を進めていくと、トランジスタの電流を制御しているシリコン酸化膜も薄くなるが、1nm以下の薄さになると、トンネル効果で電流が流れてしまう。これを防ぐために誘電率の高い物質(High-k膜)を使う必要がある。このHigh-k膜を成膜する新しい方法

として、LL - D&A (Layer-by-layer Deposition & Annealing という独自の成膜方法を開発した。図 3 に LL - D & A の概念図を示した。1 層目を成膜して緻密化処理によって脱ガスを行ない、2 層目を成膜して緻密化処理を行ない、ということを繰り返して多層膜を形成する。

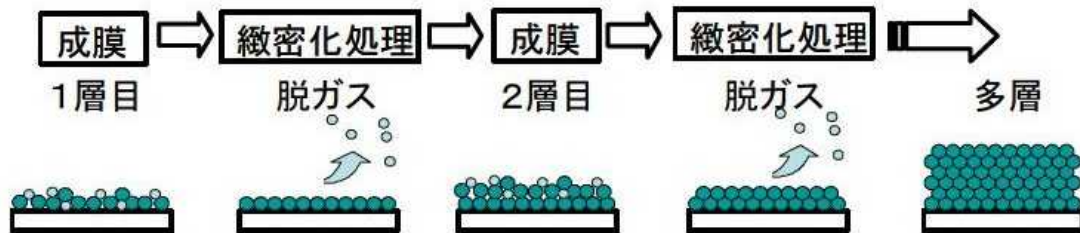


図 3. LL-D&A 法の概念図⁹

この方法によって残存カーボンが少ない High-k ゲート絶縁膜を成膜した。

High-k 材料を使う時の大きな問題であったゲート電極の実効仕事関数制御を Partial Silicide、高精度界面メタルドット、HfAlO_x の Al 組成変調などのコンセプトで実現した。従来はゲート電極と High-k 膜の界面 (上部界面) が主にしきい値のずれを引き起こすと考えられていた。これに対して、High-k 膜とシリコン酸化膜の界面 (下部界面) の役割が非常に大きい事を発見し、シリコン酸化膜に接する High-k 膜の組成を調整し、しきい値を制御できる事を実証した。¹⁰この LL-D&A 法は、日立国際電気に技術移転し事業化された。¹¹

上記の研究開発を進展させて、等価酸化膜厚 0.5 nm で世界最高の移動度を持ち、ゲート漏れ電流を 3 桁低減したトランジスタの動作に成功し、2007 年 12 月の IEDM で発表した。¹²

3.2 Low-k 層間絶縁膜

材料物性と寸法のスケラビリティを実現すること、すなわち世代をまたがる微細化にも使用できる技術を開発することを目標とした。ポーラスシリカ材料の焼成方法の研究開発を行なった。N₂ 焼成、Air 焼成の 2 ステップ焼成を適用し、多孔質シリカ膜をテトラメチルシクロテトラシロキサン (TMCTS) 蒸気中で熱処理することにより、空孔内壁に TMCTS 分子を吸着させた後に、TMCTS 分子間を架橋させ、膜収縮の少ないメソポーラスシリカ膜が成膜できることを見出した。この技術によって、 $k=2.0$ のままで 8 GPa までの骨格強度が得られた。TMCTS 処理を促進する材料・プロセス技術を開発し 32 nm ハーフピッチで必要な 350 度 C 焼成でも従来の 400 度 C 焼成と同等な骨格強度を実現し、スケラブルな Low-k 層間絶縁膜が実現できた。

¹³この low-k 層間絶縁膜形成技術はアルバック、三井化学に技術移転された。¹⁴

また、プラズマ共重合 Low-k 成膜技術を開発した。基本骨格がシロキサンで有機官能基を持つ環状シロキサンが効果的であることに着目し、成膜条件の最適化を実施し、 k 値として約 2.4 を得た。このプラズマ重合技術は NEC に技術移転した。

吸着分光エリブソメトリによるポーラス Low-k 膜の空孔径分布と空孔率を 300 mm ウェーハの状態に計測、解析するプロトタイプ計測装置を開発した。今後、産総研と Selete の共同開発を行ない、ポーラスシリカ等の Low-k 膜評価に使用する。

3.3 新構造トランジスタ

酸化濃縮法による高性能ひずみ SOI-CMOS を開発した。貫通転位に代表される基板結晶内の欠陥を低減するため、“二段階酸化濃縮法”を開発し、貫通転位による欠陥を $1 \times 10^3 \text{cm}^{-2}$ に低減させることに成功し SOI (Silicon on Insulator) では最高の移動度を実現した。また、SGOI (Silicon Germanium on Insulator) ウェハ開発と低転位密度化を行なった。

ソース・ドレインに金属を用いた極微細 Metal Source/Drain MOSFET (MSD-MOSFET) はバリスティック MOSFETⁱとして有望である。MSD 構造と高移動度を持つ Ge および GOI (Ge-On-Insulator) チャンネルを組み合わせた Ge チャンネル MSD-MOSFET の提案および実証を行った。¹⁵

AFM プローブ励起を使って、シリコン中の歪を高い空間分解能で計測できる歪計測技術を開発した。この技術は、東京インスツルメンツが「ナノファインダー30」として商品化し、日立ハイテクノロジーから販売されている。¹⁶

3.4. リソグラフィ関連技術

開発したマスクパターン欠陥検査技術を MIRAI/Selete/東芝の共同開発を通じてマスク欠陥検査実験機に搭載し、マスク上で 60nm の欠陥が検出可能であることを実証した。さらに、高感度化、検出が困難な欠陥の検出スループット向上のため透過・反射同時検査技術と高感度検査アルゴリズムを開発した。視野分離方式による透過・反射画像検出光学系を開発し、欠陥評価はプログラム欠陥評価マスクを用いて行った。透過照明では顕著な階調差が認められない 94nm サイズ、すなわち、ウェーハ上 30nm 以下の欠陥が、反射照明を利用する技術により検出できることがわかった。この技術は (株) ニューフレアテクノロジーに技術移転され実用化された。¹⁷

ⁱ バリスティック MOSFET: 信号を伝える役目をする電子などが、チャンネルの中で散乱を受けずに通過する究極の MOSFET

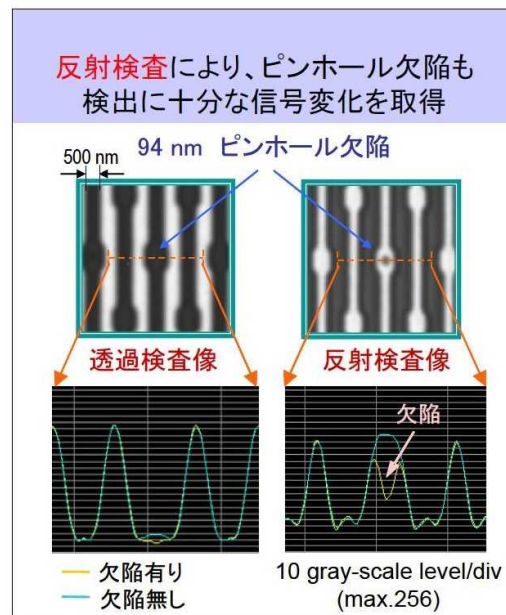


図 4. 透過・反射画像検出光学系を使った欠陥検査機の信号変化¹⁸

EUV 多層膜マスクブランクス検査では、検査画像転送の高速化、収差を改善した結像光学系の組み込み、CCD 起因の検査像劣化要因の解析と対策により、検出信号の S/N 比を向上させた。検出速度を従来比 10 倍に、また検出信号の S/N 比向上を達成し、実用機開発のための仕様提示を行った。

パターンニング済ウェーハの欠陥検査技術では、波長 200nm 以下の DUV 光(サブ 200nm 波長光)を検査光として用いた明視野式ウェハ欠陥検査技術の開発を行い、光学分解能 60nm のウェハ検査光学系を開発した。

原子間力顕微鏡(AFM)を用いたパターン寸法計測、及び計測用基準パターン作製技術では、試作した CD-AFM 装置をベースとして、レーザ干渉計モジュールでの高さの変位計測がサブ nm の領域まで行なえることと、CD 計測再現精度 ± 0.3 nm を実証した。

極紫外光検査技術の研究では、 $0.5 \mu\text{m}$ 以下に絞った EUV 照射ビームにより 100 ~ 50nm サイズ微粒子の顕微光電子分光法による分析同定技術を開発し、装置の実用化を計った。開発したシステムは4種類であるが、第 2 期は、楕円鏡集光システム EUPS2 のエネルギー分解能の改善を行った。

3.5 回路システム

3.5.1 デジタル LSI における製造後クロックスキュー適応調整技術

遺伝的アルゴリズムに基づく調整プログラムを用いて、乗算器やメモリ・テストパターン生成回路等の中規模回路 TEG チップを用いた実験により、動作歩留 100%を維持した条件で、クロック周波数の最大 25%向上、消費電力の 75%低減、設計工数の 20%減を実証した。

さらに、ルネサステクノロジから提供された実用規模の商用プロセッサである M32R プロセッ

サに本クロック調整技術を適用した。クロックスキュー適応調整を行なう前後で評価実験を行った結果、動作周波数向上、消費電力低減という効果があることが確認された。一部のチップについては、適応調整を用いることで仕様よりも 20%以上低い電源電圧での動作が確認できた。

また、三洋電機との共同研究で同社の低消費電力用途向け画像処理回路コアに適応型クロックタイミング調整技術を導入した実証 LSI を開発した。設計データに関する詳細な検討から消費電力を 1/2 ~ 1/3 に低減可能であるという予測を得た。

3.5.2 製造後適応調整を用いた高速データ転送技術

高速シリアルインターフェイス(USB、IEEE1394)に応用する高速データ転送技術の基本実証を行った。その成果を発展させ、高速データ転送機能を持つ通信応用向き 2 種類の FPGA の開発を行った。そのうちのひとつは通信処理でよく用いられるガロア体演算用に開発したもので、従来の商用最高速 FPGA に比べ CRC(Cyclic Redundancy Check)処理が 2.1 倍、Pseudo-random Number(PN)処理が 9.5 倍の性能向上を実現した。

3.5.3 遺伝的アルゴリズムを用いた応用技術

MOS トランジスタモデル HiSIM のモデルパラメータ自動抽出技術を開発した。HiSIM は広島大学が提案し、広島大学、STARC で開発中の表面ポテンシャルに基づいた MO トランジスタモデルである。この開発は広島大学との共同研究で推進し、STARC より提供されたトランジスタ実測値を用いて、熟練者で数日かかる HiSIM の 34 個のモデルパラメータ抽出を、初期値の特殊な設定なしに自動的に 23 時間で行うことに成功した。

3.6 開発技術成果とその技術移転先、共同研究先

第 2 期までに開発したものは、ハーフピッチ 45nm 世代に実用化される。そのため、第 2 期では参加企業との共同開発や、機密保持契約に基づいた情報開示を行ない、技術移転を実施する事に重点を置いた。開発技術成果とその技術移転先と共同研究先を表 2 にまとめた。

表 3. 開発技術成果とその技術移転先と共同研究先¹⁹

研究	開発技術成果	技術移転先	共同研究先、NDA 実施先
High-k	LL-D&A 法高品質 High-k 膜形成技術	日立国際電気	ルネサス、東芝、沖電気
	ゲート電極実効仕事関数制御技術	Selete	ルネサス、東芝
	信頼性、MOS 容量解析・評価技術	Selete	デバイスメーカー
Low-k	TMCTS アニール機械強度強化ポーラス Low-k 材料技術	アルバック、三井化学、東京エレクトロン、Selete	
	プラズマ共重合 Low-k 膜形成技術	NEC	
	低損失配線モジュールプロセス技術	Selete	ニコン、荏原
	ポーラス Low-k 材料孔径分布、機械強度非破壊計測技術	Selete、デバイスメーカー	装置メーカー
新構造トランジスタ	酸化濃縮法による高品質ひずみ SOI 基板技術		東芝セラミック、コマツ電子
	高品質ひずみ SOI 基板を用いた CMOS トランジスタ技術		東芝、NEC
リソグラフィ関連技術	DUV 光(199nm)マスク欠陥検査技術	東芝	Selete
	EUV マスクブランクス露光波長検査技術	Selete	
	DUV 光ウェーハ欠陥検査技術	東京精密	
	CD-AFM(原子間力顕微鏡)技術	日立建機	
回路システム	遺伝的アルゴリズム(GA)によるクロックタイミング適応調整技術		ルネサス、三洋
	GA による伝達関数適応調整高速データ・波形転送技術	産総研ベンチャ	
	GA による TCAD、MOS モデル等のパラメータ自動抽出技術	Selete (デバイスメーカー)	

4. 実用化加速とさらなる挑戦のために第 3 期計画を策定

4-1 第 3 期計画策定までの経緯

MIRAI 第 3 期の計画立案は以下のような経過で行なわれた。²⁰

あすかプロジェクトが終了する 2006 年以降の共同コンソーシアム活動のあり方を検討する第 2 次半導体新世紀委員会(SNCC)を半導体産業研究所(SIRIJ)に設置した。委員には、MIRAI プロジェクト実施者、NEDO、経済産業省(METI)が加わった。以下に示すような第 2 次 SNCC 提言が 2004 年 5 月に示された。

プロセス技術開発においては、株式会社半導体先端テクノロジーズ(Selete)のモジュール開発機能と、「半導体 MIRAI プロジェクト」の要素技術開発機能とを有機的に結合させた「つくば R&D センター」を産学官連携の拠点として構築する。装置・材料メーカーにも参画を求め、45nm 以降の先端プロセス技術開発の実用化へのスピード加速と、更なる技術限界への挑戦及び技術候補の早期絞込みを行なう。

この第 2 次 SNCC 提言を具体化するために、SIRIJ に組織されたつくば R&D センター準備委員会での議論、NEDO および METI が実施した個別企業からのヒアリング、産業界と

MIRAI 実施者と NEDO および METI の協議などから、以下のような課題が明らかになった。

(1) ハーフピッチ 45nm の材料・プロセス技術の選定が行われる 2007 年頃までに、フロントエンドプロセス及びバックエンドプロセスのモジュール開発を終える必要がある。

(2) 極限微細化技術や、新構造 CMOS の研究開発などの先端的基盤技術研究は引き続き重要である。

(3) ハーフピッチ 45nm では EUVL(極端紫外線リソグラフィ)が候補のひとつである。光源、光学系開発は行われているが、EUV リソ・マスク関連の総合的技術開発は行われていない。

上記課題を解決するために、NEDO は MIRAI プロジェクトの運営について以下の方針を決めた。

MIRAI プロジェクトのハーフピッチ 45nm 関連要素技術の成果を、2005 年度末に Selete に移転し、Selete において一元的にモジュール開発を実施する。

MIRAI プロジェクトでは、2006 年度以降、極限微細化技術や新構造 CMOS 開発などの先端的基盤技術開発を中心に行なう。

ハーフピッチ 45nm の実用化を図るために、EUV リソ・マスク関連の技術開発を、早期に立ち上げる。

この方針に基づいて、2005 年 12 月に第 3 期の研究開発計画が策定され、2006 年度から 2010 年度までが第 3 期とされ、超低消費電力システム LSI の実現のために必要な技術開発を行なうこととなった。2007 年度までの 2 年間の第 3-1 期、その後の 2010 年度までの 3 年間の第 3-2 期とした。ハーフピッチ 45nm を越える技術領域の課題を解決する革新技术としての新構造極限 CMOS トランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発することと、EUV マスク基盤技術を開発し、2008 年度にハーフピッチ 45nm、2010 年度にハーフピッチ 32nm に対応する技術を確立することが目標とされた。²¹2008 年度からは、「EUV 光源高信頼化技術開発」のテーマが追加された。

プロジェクトリーダーには、Selete 社長の渡辺久恒氏が任命され、廣瀬全孝氏は CSTO (Chief Science and Technology Officer) となった。

2005 年度まで、ASET と産総研の研究共同体が行ってきた High-k 材料と Low-k 材料については、実用化開発に移行できるものは、関連コンソーシアムを含めた産業界に移転され実用化に向けた開発が行なわれることになり、MIRAI プロジェクトとしては終了した。

また、半導体 MIRAI プロジェクトと Selete の開発機能を有機的に結合させるために、つくば半導体コンソーシアムという枠組みを作り、渡辺久恒氏が総括リーダーとなった。

4.2. 第 3 期の研究開発項目

第 3 期の研究開発項目は以下のように設定された。²²

- ・次世代半導体材料・プロセス基盤技術開発
- ・新構造極限 CMOS トランジスタ関連技術開発

ハーフピッチ 32nm を越える技術世代に対応するバリスティック CMOS 技術等の開発を行う。

新探究配線技術開発

カーボン材料を用いた低い抵抗値と高い許容電流密度を持つ配線構造技術を確立し、また、10GHz以上の波長多重によるオンチップ光配線技術を実証する。

特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

構造依存ばらつきとその経時変化の解析技術を確立し、特性ばらつきに対する耐性が高いトランジスタ構造を提案する。また、外部擾乱に対し、トランジスタや回路の誤動作や故障が発生するメカニズムを明確にし、その解決策と耐性の高い回路の設計指針を確立する。

次世代半導体露光プロセス基盤技術開発

次世代マスク基盤技術開発

EUV マスクについて、高精度・低欠陥のマスクおよびブランクス技術、マスクパターンの欠陥検査・修正技術、マスクのハンドリング技術の開発を行ない、EUV マスクの総合的技術を確立する。

EUV 光源高信頼化技術開発

EUV 光源について、マスク、ミラーへの光源に起因する汚染に対する評価技術、汚染に対する清浄化技術の開発を行ない、EUV 光源の高信頼化技術を確立する。

委託先は、は ASET と産総研の共同研究体、は Selete、は EUVA となった。産業界における実用化プロセスインテグレーション技術開発の時期を考慮したタイムリーな技術開発を行い、課題になる可能性のある事項についてその解決に役立つ事をあらかじめ用意しておくという設定と考えられる。全体を接続した製造ラインの技術開発については Selete から半導体各社へという流れが想定されているようである。

第 1 期から第 3-1 期の 2007 年度までのテーマ別研究開発投資を図 5 に示す。第 1 期と第 2 期の合計は 225.2 億円、第 3-1 期の合計は 105.12 億円である。

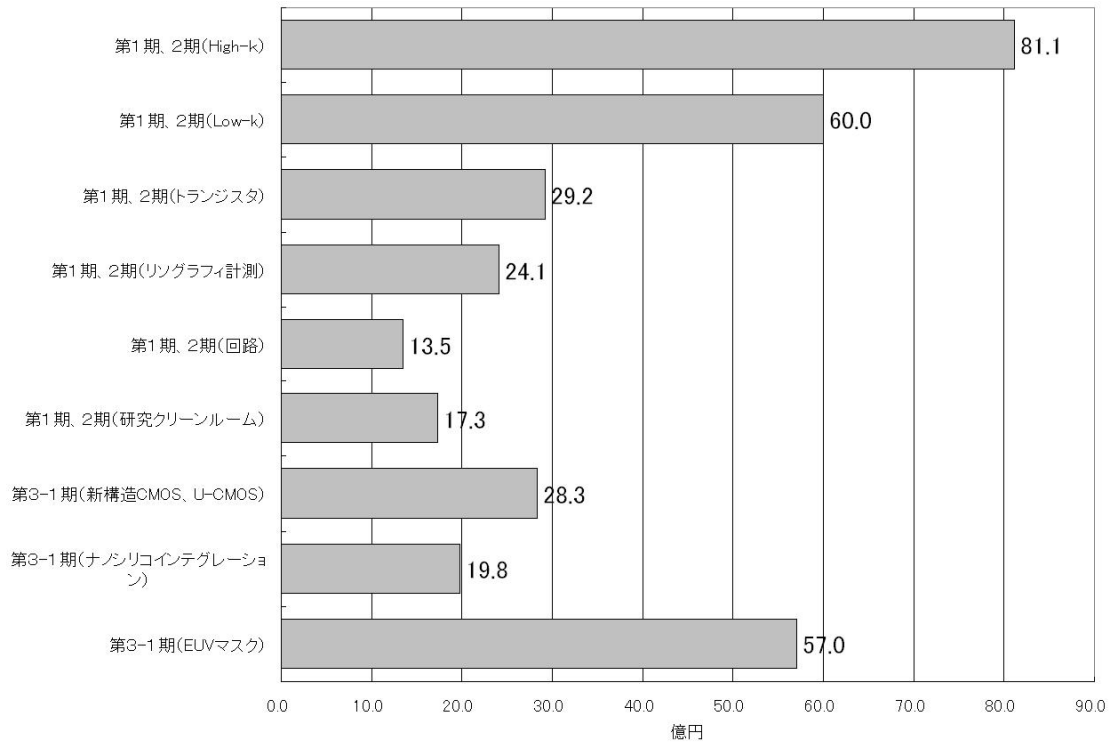


図 5. MIRAI 第1期、第2期、第3-1期研究開発投資²³

5. 各社が期待する基盤技術の開発へ

MIRAI 第3期は現在進行中であるので、個々のテーマの研究開発成果についての記述はできないが、基本計画に述べられている目的と、プロジェクトの進め方について述べる。

MIRAI プロジェクト第3期の目的は基本計画に「半導体 LSI の高機能化、低消費電力化」と書かれている通り、システム LSI が必要とする微細化に対応できる半導体デバイス・プロセス基盤技術の確立が目的である。

システム LSI には、携帯電話用のチップセットなどのようにかなりの数が見込まれ、標準チップセットとして外販されるものから、テレビなどに組み込まれて使われるもの、それほど数量は多くはないがキーデバイスとなるものなど、多様な LSI が含まれ、微細化に対する要求も異なるであろう。MIRAI プロジェクトでは、多様なシステム LSI のための多様な基盤技術の研究開発を行なっている。これらの基盤技術開発が、システム LSI を開発する各社から期待される基盤技術であるかどうかを常に確認しながら進めることが必要である。

この確認をしながら、研究開発を進めるひとつの方法は、IMEC の IIAP のような半導体関連各社が資金を分担して研究開発を行なう方法であろう。MIRAI プロジェクトのような国家プロジェクトの場合は、このような方法を直接取り入れる事は難しいかもしれないが、研究開発テーマが半導体各社の将来の要求に答えるものであるかどうかを評価し、必要な場合には計画変更などの意思決定を迅速に行なう仕組みが必要であろう。年度途中での計画変更を認めるなど、NEDO のプロジェクト推進方法も柔軟性をもち始めているが、もっと柔軟性を高め、研

究開発主体が意思決定出来る仕組みが求められているのではないだろうか。(赤城三男、相崎尚昭)

-
- 1 「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト」基本計画
<http://www.nedo.go.jp/activities/portal/gaiyou/p01014/h20kihon.pdf>
 - 2 NEDO 基本計画、年度実施計画および年次報告書より作成
 - 3 日経マイクロデバイス 2001年9月号 12-15 ページ
 - 4 廣瀬全孝氏 2008年8月4日インタビューより
 - 5 中間評価報告書 2003年9月 4 ページ
<http://www.nedo.go.jp/iinkai/hyouka/houkoku/15h/9.pdf>
 - 6 中間評価報告書(2003年9月) プロジェクト概要説明より
<http://www.nedo.go.jp/iinkai/hyouka/houkoku/15h/9.pdf>
 - 7 事業原簿(2006年5月30日)を中心として、半導体 MIRAI プロジェクト成果報告会試料と、NEDO 年度成果報告書などをもとにまとめた。
 - 8 事業原簿(2006年5月30日)20 ページより
 - 9 中間評価報告書(2003年9月) プロジェクト概要説明 15 頁の図より
 - 10 日経産業新聞 2004年11月25日付け記事
 - 11 日経産業新聞 2004年11月25日付け記事より
 - 12 M. Takahashi et al., "Gate-First Processed FUSI/HfO₂/HfSiOX/Si MOSFETs with EOT=0.5 nm", IEDM 2007 523
 - 13 <http://www.nedo.go.jp/iinkai/kenkyuu/bunkakai/18h/chuukan/5/1/5-3.pdf> 33 頁
 - 14 日経産業新聞 2004年11月25日付け記事より
 - 15 事業原簿(2006年5月30日)39-40 ページより
 - 16 電波新聞 2006年7月12日付け記事より
 - 17 電波新聞 2006年7月4日付け記事より
 - 18 事業原簿 2006年5月30日作成 47 ページ
 - 19 事業原簿 2006年5月30日作成 61 ページ
 - 20 事業原簿 2006年5月30日作成 11 から 13 ページ
 - 21 NEDO 基本計画より
<http://www.nedo.go.jp/activities/portal/gaiyou/p01014/h20kihon.pdf>
 - 22 NEDO 基本計画より
 - 23 MIRAI 第2期プロジェクト概要説明と成果 2006年10月23日、13 頁と
<http://www.nedo.go.jp/iinkai/hyouka/houkoku/18h/chukan/05.pdf>
MIRAI プロジェクト概要説明 2007年12月24日、10 頁より作成
<http://www.nedo.go.jp/iinkai/kenkyuu/bunkakai/19h/chuukan/1/1/5-2.pdf>